

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 20010069203 A
 (43)Date of publication of application: 23.07.2001

(21)Application number: 20000030297
 (22)Date of filing: 02.06.2000
 (30)Priority: 03.06.1999 JP 1999 156255
 09.03.2000 JP 2000 2000065398

(71)Applicant: KABUSHIKI KAISHA TOSHIBA
 (72)Inventor: HONDA YASUHIKO
 KATO HIDEO
 KURIYAMA MASAO
 SAITO HIDETOSHI

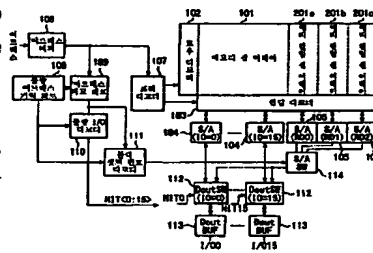
(51)Int. Cl. G11C 16/06

(54) SEMICONDUCTOR MEMORY

(57) Abstract:

PURPOSE: A semiconductor memory is provided to defect for a boundary region in a direction of the column of a cell array.

CONSTITUTION: The semiconductor memory is provided with plural redundant column cell arrays for replacing a defective bit line for a memory cell array. Each redundant cell array is provided with a redundant sense amplifier circuit other than a sense amplifier circuit of the memory cell array. A defective address storing circuit stores a defective address of the memory cell array, input/output terminals to which data corresponding to the address is to be inputted and outputted, and a column set number in the redundant cell array to be replaced corresponding to this input/output terminal. Coincidence-detection of the input address and the defective address is performed by an address comparing circuit. The device is provided with a switch circuit controlled by the coincidence-detection output, switching the data corresponding to the defective address in a sense amplifier circuit to the data selected by the set number in the redundant sense amplifier circuit, and connecting it to a data input/output buffer.



© KIPO & JPO 2002

Legal Status

Date of request for an examination (20000602)
 Final disposal of an application (registration)
 Date of final disposal of an application (20020716)
 Patent registration number (1003515960000)
 Date of registration (20020823)

BEST AVAILABLE COPY

AM

특2001-0069203

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 16/06	(11) 공개번호 (43) 공개일자	특2001-0069203 2001년07월23일
(21) 출원번호	10-2000-0030297	
(22) 출원일자	2000년06월02일	
(30) 우선권주장	1999-156255 1999년06월03일 일본(JP) 2000-065398 2000년03월09일 일본(JP)	
(71) 출원인	가부시끼가이샤 도시바 니시무로 타이조	
(72) 발명자	일본국 가나가와켄 가와사끼시 사이와이마루 호리가와조 72반지 사이도히데 도시 일본가나가와켄 가와사끼시 사이와이마루고무카미도시바조1가부시끼가이샤도시 바마이클로일렉트로닉스센터내 구리야마 마사오 일본가나가와켄 가와사끼시 사이와이마루고무카미도시바조1가부시끼가이샤도시 바마이클로일렉트로닉스센터내 혼다 야스히코 일본가나가와켄 가와사끼시 사이와이마루고무카미도시바조1가부시끼가이샤도시 바마이클로일렉트로닉스센터내 가도히데 오 일본가나가와켄 가와사끼시 사이와이마루고무카미도시바조1가부시끼가이샤도시 바마이클로일렉트로닉스센터내	
(74) 대리인	장수길, 구영창	

심사원구 : 있음

(54) 반도체 메모리

요약

복수 컬럼 불량이나 셀 어레이의 컬럼 방향 경계 영역의 불량에 대한 효율적인 구제를 가능하게 한 반도체 메모리를 제공한다.

메모리 셀 어레이(101)에 대해 그 불량 비트선을 치환하기 위한 복수 컬럼의 예비 셀 어레이(201)를 구비한다. 메모리 셀 어레이(101)의 감지 증폭기 회로(103)와는 별개로 각 예비 셀 어레이(201)에 예비 감지 증폭기 회로(105)를 구비하고 있다. 불량 어드레스 기억 회로(108)는 메모리 셀 어레이(101)의 불량 어드레스와 이것에 대응하는 데이터의 입출력이 되어야 할 입출력 단자 및, 이 입출력 단자에 대응하여 치환 되어야 할 예비 셀 어레이 중 컬럼 세트 번호를 기억한다. 어드레스 비교 회로(109)에 의해 입력 어드레스와 불량 어드레스의 일치 검출이 이루어진다. 그 일치 검출 출력에 의해 제어되어 감지 증폭기 회로(104)중 불량 어드레스 대응의 것과 예비 증폭기 회로(105) 중 세트 번호에 의해 선택된 것을 전환하여 데이터 입출력 버퍼(113)에 접속하는 스위치 회로(112)를 구비한다.

대표도

도1

색인어

복수 컬럼 불량, 반도체 메모리, 구제, 치환, 검출 회로

발명자

도면의 간단한 설명

- 도 1은 본 발명의 실시 형태에 따른 예비 컬럼 셀 어레이를 갖는 EEPROM의 구성을 나타내는 도면.
- 도 2는 동일한 실시 형태에 있어서의 메모리 셀 어레이의 구성을 나타내는 도면.
- 도 3은 예비 컬럼 셀 어레이를 갖는 다른 실시 형태에 따른 RWW 사양 EEPROM의 구성을 나타내는 도면.
- 도 4는 동일한 실시 형태에 있어서의 어드레스 공급부의 구성을 나타내는 도면.
- 도 5는 예비 컬럼 셀 어레이를 갖는 다른 실시 형태에 따른 RWW 사양 EEPROM의 구성을 나타내는 도면.

- 도 6은 동일한 실시 형태에 있어서의 어드레스 공급부의 구성을 나타내는 도면.
- 도 7은 예비 셀어레이 블록을 갖는 다른 실시 형태에 따른 RWW 사양 EEPROM의 구성을 나타내는 도면.
- 도 8은 예비 셀어레이 블록을 갖는 다른 실시 형태에 따른 RWW 사양 EEPROM의 구성을 나타내는 도면.
- 도 9는 예비 셀 어레이 블록을 갖는 다른 실시 형태에 따른 RWW 사양 EEPROM의 구성을 나타내는 도면.
- 도 10은 도 5 및 도 7의 실시 형태에 있어서의 예비 셀어레이 블록에 의한 블록 치환의 형태를 도시한 도면.
- 도 11은 도 8의 실시 형태에 있어서의 예비 셀어레이 블록에 의한 블록 치환의 형태를 도시한 도면.
- 도 12는 도 9의 실시 형태에 있어서의 예비 셀 어레이 블록에 의한 블록 치환의 형태를 도시한 도면.
- 도 13은 도 5 및 도 7의 실시 형태를 변형한 실시 형태에 있어서의 예비 셀어레이 블록에 의한 블록 치환의 형태를 도시한 도면.
- 도 14는 예비 로우 셀 어레이를 갖는 실시 형태에 따른 EEPROM의 구성을 나타내는 도면.
- 도 15는 동일한 실시 형태에 있어서의 어드레스 공급부의 구성을 나타내는 도면.
- 도 16은 동일한 실시 형태에 있어서의 주요부의 구체적인 구성을 나타내는 도면.
- 도 17은 동일한 실시 형태에 있어서의 로우 메인 디코더의 구성을 나타내는 도면.
- 도 18은 동일한 실시 형태에 있어서의 워드선 선택 구동 회로의 구성을 나타내는 도면.
- 도 19는 예비 로우 셀 어레이를 갖는 다른 실시 형태에 따른 EEPROM의 로우 메인 디코더의 구성을 나타내는 도면.
- 도 20은 도 19의 로우 메인 디코더를 갖는 실시 형태에서의 자동 데이터 소거 시퀀스의 전반을 도시한 도면.
- 도 21은 동일한 시퀀스의 후반을 도시한 도면.
- 도 22는 예비 로우 셀 어레이를 갖는 다른 실시 형태에 따른 RWW 사양의 EEPROM의 구성을 나타내는 도면.
- 도 23은 본 발명의 다른 실시 형태에 따른 반도체 메모리의 개략 구성을 나타내는 도면.
- 도 24는 동일한 실시 형태에 있어서의 ROM 퓨즈 회로의 구성을 나타내는 도면.
- 도 25는 동일한 실시 형태의 다이소트 플로우를 종래예와 비교하여 도시한 도면.
- 도 26은 본 발명의 다른 실시 형태에 따른 반도체 메모리의 개략 구성을 나타내는 도면.
- 도 27은 동일한 실시 형태에서 이용되는 래치의 구성을 나타내는 도면.

<도면의 부호에 대한 간단한 설명>

- 101 : 메모리셀 어레이
- 102 : 로우 디코더
- 103 : 컬럼 디코더
- 104 : 감지 증폭기 회로
- 105 : 예비 감지 증폭기 회로
- 106 : 어드레스 버퍼
- 107 : 프리디코더
- 108 : 불량 어드레스 기억 회로
- 109 : 어드레스 전환 회로
- 110 : 불량 I/O 디코더
- 111 : 블록 세트 번호 디코더
- 112 : 데이터 스위치 회로
- 113 : 데이터 버퍼
- 201 : 예비 컬럼 셀 어레이
- 304 : 예비 컬럼 셀 어레이
- 305a : 판독용 어드레스 버스선
- 305b : 기입 또는 소거용 어드레스 버스선
- 306a : 판독용데이터 버스선
- 306b : 기입 또는 소거용 데이터 버스선

315 : 비지 레지스터
 316a, 316b : 데이터선 스위치 회로
 317a, 317b : 데이터선 스위치 회로
 319 a, 319b : 감지 증폭기 회로
 320a, 320b : 예비 감지 증폭기 회로
 321a, 321b : 데이터 버퍼
 307 : 어드레스 버퍼
 308 : 어드레스 래치
 309 : 어드레스 카운터
 310 : 제어 회로
 311 : 어드레스 전환 회로
 312 : 불량 어드레스 기억 회로
 313a, 313b : 어드레스 비교 회로
 314a, 314b : 불량 I/O 디코더
 401 : 메모리셀 어레이
 402 : 프리디코더
 403 : 예비 셀어레이 블록
 404 : 프리디코더
 410a, 410b : 히트 어드레스 스위치 회로
 420a, 420b : 코어 디코더
 421a, 421b : 코어 스위치 회로
 601 : 메모리셀 어레이
 602 : 예비 로우 셀 어레이
 503 : 로우 메인 디코더
 604 : 로우 서브 디코더
 605 : 예비 로우 선택 회로
 615 : 프리디코더
 606 : 워드선 선택 구동 회로
 608 : 전송 게이트
 607 : 블록 디코더
 612 : 어드레스 버퍼
 611 : 어드레스 카운터
 612 : 불량 어드레스 기억 회로
 513 : 어드레스 전환 회로
 614 : 어드레스 비교 회로
 616 : 제어 회로
 701 : 래치 회로
 800 : 불량 어드레스 기억 회로
 801 : 알루미늄 퓨즈 회로
 802 : ROM 퓨즈회로
 821 : 래치 회로

본문의 상세한 설명

본문의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 EEPROM 등의 전기적 재기입 가능한 반도체 메모리에 관한 것으로, 특히 불량 메모리셀의 치환을 행하는 예비 회로를 구비한 반도체 메모리에 관한 것이다.

일반적으로 대규모 반도체 메모리에서는, 제조 수율 향상을 위해 일정 범위의 불량 메모리셀이 있는 디바이스를 구제하는 예비 회로 방식이 채용된다. 예비 회로 방식에는, 불량 비트선을 스페어 비트선에 의해 치환하는 컬럼 예비 회로, 불량 워드를 스페어 워드선에 의해 치환하는로우 예비 회로, 및 이들을 병용한 3개의 형태가 있다.

예비 회로 방식의 메모리에서는, 불량 어드레스를 불휘발로 기억하는 퓨즈 회로 등의 불량 어드레스 기억 회로를 구비한다. 그리고, 입력된 어드레스와 불량 어드레스의 일치 검출을 행하여, 그 일치 검출 출력에 의해 불량 어드레스의 메모리셀을 예비 회로의 메모리셀에서 치환하는 제어를 행한다.

그러나, 종래의 EEPROM에서는, 예비 회로에 의한 구제 효율은 높은 것이 아니다. 메모리셀 어레이의 단부에 1 컬럼분 혹은 1로우분의 예비 회로를 배치하더라도, 복수 컬럼 혹은 복수 로우의 불량에 대응할 수 없기 때문이다. 또한 메모리셀 어레이 단부에 1 컬럼분 혹은 1로우분의 예비 회로를 배치하더라도, 이들의 셀 어레이 단부의 예비 회로 자신이 불량이 되는 확률이 높은 것도, 구제 효율을 저하시키고 있다.

발명이 이루고자하는 기술적 과제

본 발명은, 복수 컬럼 불량이나 셀 어레이의 컬럼 방향 경계 영역의 불량에 대한 효과적인 구제를 가능하게 한 반도체 메모리를 제공하는 것을 목적으로 하고 있다.

본 발명은 또한 각 뱅크에서의 효율적인 컬럼 구제를 가능하게 한 RWW 사양의 반도체 메모리를 제공하는 것을 목적으로 한다.

본 발명은 또한 데이터 소거시에 필요없는 관통 전류 패스가 생기지 않도록 하여 효율적인 불량로우 구제를 가능하게 한 반도체 메모리를 제공하는 것을 목적으로 한다.

본 발명은 또한, 불량 검사 공정의 시간 단축을 도모하는 것을 가능하게 한 불량 어드레스 기억 회로를 갖는 반도체 메모리를 제공하는 것을 목적으로 한다.

본 발명에 따른 반도체 메모리는, 전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 이루어지는 메모리셀 어레이와, 이 메모리셀 어레이의 불량 비트선을 구제하기 위한 복수 컬럼의 예비 셀 어레이와, 상기 메모리셀 어레이의 메모리셀을 선택하는 디코드 회로와, 상기 메모리셀 어레이의 판독 데이터를 검지하여, 기입 데이터를 래치하는 복수의 감지 증폭기 회로와, 각 감지 증폭기 회로와 대응하는 데이터 입출력 단자의 사이에 설치된 데이터 입출력 버퍼와, 상기 메모리셀 어레이의 불량 어드레스, 이 불량 어드레스에 대응하는 데이터의 입출력이 이루어져야하는 입출력 단자 및, 이 입출력 단자에 대응하여 치환되어야 하는 상기 예비 셀 어레이 중의 복수 컬럼의 세트 번호를 기억하는 불량 어드레스 기억 회로와, 상기 복수 컬럼의 예비 셀 어레이의 판독 데이터를 검지하여, 기입 데이터를 래치하는 복수의 예비 감지 증폭기 회로와, 입력된 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치를 검출하는 어드레스 비교 회로와, 이 어드레스 비교 회로의 일치 검출 출력에 의해 제어되어 상기 복수의 감지 증폭기 회로 중의 불량 어드레스 대응의 감지 증폭기 회로와 상기 복수의 예비 감지 증폭기 회로 중의 상기 세트 번호에 의해 선택된 감지 증폭기 회로를 전환하여 상기 데이터 입출력 버퍼에 접속하는 스위치 회로를 갖는 것을 특징으로 하고 있다.

본 발명에 따르면, 복수 컬럼의 예비 셀 어레이를 구비하여, 복수 컬럼의 불량이나 셀 어레이의 컬럼 방향 단부의 불량에 대하여 효율적인 구제를 행할 수 있다. 또한 본 발명에서는, 예비 셀 어레이의 출력은, 정규 메모리셀 데이터와 동시에 판독되어, 불량 컬럼 어드레스의 출력을 예비 셀 어레이의 출력에 의해 전환한다고 하는 제어를 행하고 있고, 예비 셀 어레이의 판독이 정규의 셀 어레이의 출력에 비해 지연된다는 것이 없다.

본 발명에 따른 반도체 메모리는 또, 전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되며, 상호 독립하여 액세스 가능한 적어도 2개의 뱅크로 분할된 메모리셀 어레이와, 이 메모리셀 어레이의 불량 비트선을 구제하기 위해서 각 뱅크마다 설치된 예비 컬럼 셀 어레이와, 상기 메모리셀 어레이의 각 뱅크마다 설치된 디코드 회로와, 상기 2개의 뱅크에 공통으로 배치된, 데이터 판독용 제1 어드레스 버스선 및 데이터 기입 또는 소거용 제2 어드레스 버스선과, 상기 2개의 뱅크에 공통으로 배치된, 데이터 판독용 제1 데이터 버스선 및 데이터 기입 또는 소거용 제2 데이터 버스선과, 상기 제1 데이터 버스선에 접속된 상기 메모리셀 어레이의 병렬 판독 데이터를 검지 증폭하는 복수의 제1 감지 증폭기 회로와, 상기 제2 데이터 버스선에 접속된 상기 메모리셀 어레이의 병렬 검증 판독 데이터를 검지 증폭하는 복수의 제2 감지 증폭기 회로와, 각 뱅크마다 설치되고, 특정 뱅크가 데이터 기입 또는 소거 모드로서 선택되어 있는 것을 나타냄과 동시에 상기 제1 및 제2 어드레스 버스선의 접속 전환 제어, 및 상기 제1 및 제2 데이터 버스선의 접속 전환 제어에 이용되는 비지 신호를 출력하는 비지 신호 회로와, 상기 메모리셀 어레이의 불량 어드레스 및 이 불량 어드레스에 대응하는 데이터의 입출력이 이루어져야 하는 입출력 단자를 기억하는 불량 어드레스 기억 회로와, 상기 예비 컬럼 셀 어레이의 판독 데이터를 검지 증폭하기 위한 상기 제1 데이터 버스선에 접속된 제1 예비 감지 증폭기 회로와, 상기 예비 컬럼 셀 어레이의 검증 판독 데이터를 검지 증폭하기 위한 상기 제2 데이터 버스선에 접속된 제2 예비 감지 증폭기 회로와, 데이터 판독 시에 상기 제1 어드레스 패스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치를 검출하는 제1 어드레스 비교 회로와, 데이터 기입 또는 소거시에 상기 제2 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치를 검출하는 제2 어드레스 비교 회로와, 상기 제1 어드레스 비교 회로의 일치 검출 출력에 의해 상기 복수의 제1 감지 증폭기 회로의 출력의 일부를 상기 제1 예비 감지 증폭기 회로의 출력에 의해 치환하는 제1 데이터 스위치 회로와, 상기 제2 어드레스 비교 회로의 일치 검출 출력에 의해 상기 복수의 제2 감지 증폭기 회로의 출력의 일부를 상

기 제2 예비 감지 증폭기 회로의 출력에 의해 치환하는 제2 데이터 스위치 회로를 갖는 것을 특징으로 한다.

본 발명에 따르면, 각 뱅크에 예비 컬럼 셀 어레이를 설치하여, 뱅크마다의 효율적인 컬럼 구제를 가능하게 한 RWW 사양의 EEPROM이 얻어진다.

본 발명에 따른 반도체 메모리는 또한, 전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되며, 상호 독립하여 액세스 가능한 적어도 2개의 뱅크로 분할된 메모리셀 어레이와, 이 메모리셀 어레이의 불량 불량을 구제하기 위해 각 뱅크마다 설치된 예비 셀어레이 불력과, 상기 각 뱅크의 메모리셀 어레이와 예비 셀어레이 불력에 각각 설치된 디코드 회로와, 상기 2개의 뱅크에 공통으로 배치된, 데이터 판독용 제1 어드레스 버스선 및 데이터 기입 또는 소거용 제2 어드레스 버스선과, 각 뱅크마다 설치되며, 지정된 뱅크가 데이터 기입 또는 소거 모드로서 선택되어 있는 것을 나타내는 비지 신호를 출력하는 비지 신호 회로와, 이 비지 신호 회로에서 출력되는 비지 신호에 따라서 상기 제1 및 제2 어드레스 버스선의 한쪽을 선택하여 상기 각 뱅크의 메모리셀 어레이와 예비 셀어레이 불력에 접속하는 어드레스선 스위치 회로와, 상기 메모리셀 어레이의 불량 불력 어드레스를 기억하는 불량 어드레스 기억 회로와, 데이터 판독 시에 상기 제1 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 불력 어드레스의 일치 여부를 검출하는 제1 어드레스 비교 회로와, 데이터 기입 또는 소거시에 상기 제2 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 불력 어드레스의 일치 여부를 검출하는 제2 어드레스 비교 회로와, 상기 제1 및 제2 어드레스 비교 회로의 일치 검출 신호에 의해 각 뱅크에서, 상기 메모리셀 어레이를 비활성으로 하고, 상기 예비 셀어레이 불력을 활성으로 하는 히트 어드레스 스위치 회로를 갖는 것을 특징으로 한다.

본 발명에 의하면, 각 뱅크에 예비 셀어레이 불력을 설치하여, 불력 단위의 구제를 가능하게 한 RWW 사양의 EEPROM이 얻어진다.

본 발명에 있어서, 각 뱅크의 메모리셀 어레이가 데이터 소거의 최소 단위인 불력의 복수의 집합으로 이루어지는 코어가 복수개 배열되어 구성되며, 각 뱅크의 예비 셀 어레이 불력이, 1 내지 복수의 코어에 의해 구성되는 경우에, 제1 및 제2 어드레스 버스선에 코어 디코더를 설치하여 코어 선택을 행하여 그 출력에 의해 각 뱅크내의 디코드 회로의 활성, 비활성을 제어하도록 할 수 있다. 이에 따라, 어드레스 스위치 회로를 간단히 하는 것이 가능하다.

또한, 불량 어드레스 기억 회로에 불량 불력 어드레스와 그 불량 불력 어드레스의 불력을 치환하여야 할 스페어 불력의 코어 어드레스를 기억함과 함께, 코어 디코더를, 불량 어드레스가 검출되었을 때에 대응하는 스페어 불력의 코어 어드레스를 디코딩하도록 구성하면, 각 뱅크내의 특정 코어의 불량 불력을 임의의 코어의 스페어 불력에 의해 치환하는 것이 가능하게 된다.

또한, 2개의 뱅크의 용량이 다른 경우에, 용량이 큰 뱅크에서의 예비 셀어레이 불력의 메모리셀 어레이에 대한 용량비에 비해, 용량이 작은 뱅크의 예비 셀 어레이 불력의 메모리셀 어레이에 대한 용량비를 크게 설정하면, 용량이 작은 뱅크에서도 구제 효율을 높은 것으로 할 수가 있다.

본 발명에 따른 반도체 메모리는 또한, 전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되며 상호 독립하여 액세스 가능한 적어도 2개의 뱅크로 분할되고, 각 뱅크가 데이터 소거의 최소 단위인 불력의 복수의 집합으로 이루어지는 코어가 복수개 배열되어 구성된 메모리셀 어레이와, 이 메모리셀 어레이의 불량 불력을 구제하기 위해 각 뱅크와는 독립적으로 설치된 1 내지 복수의 코어로 이루어지는 예비 셀어레이 불력과, 상기 각 뱅크의 메모리셀 어레이와 상기 예비 셀어레이 불력에 각각 설치된 디코드 회로와, 상기 각 뱅크에 공통으로 배치된, 데이터 판독용 제1 어드레스 버스선 및 데이터 기입 또는 소거용 제2 어드레스 버스선과, 각 뱅크마다 설치되고, 지정된 뱅크가 데이터 기입 또는 소거 모드로서 선택되어 있는 것을 나타내는 비지 신호를 출력하는 비지 신호 회로와, 각 뱅크마다 설치되고 상기 비지 신호 회로에서 출력되는 비지 신호에 따라서 상기 제1 및 제2 어드레스 버스선의 한쪽을 선택하여 메모리셀 어레이에 접속하는 제1 어드레스선 스위치 회로와, 상기 예비 셀 어레이 불력에 설치되고 상기 제1 및 제2 어드레스 버스선을 상기 예비 셀어레이 불력에 접속하는 제2 어드레스선 스위치 회로와, 상기 메모리셀 어레이의 불량 불력 어드레스를 기억하는 불량 어드레스 기억 회로와, 데이터 판독 시에 상기 제1 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 불력 어드레스의 일치 여부를 검출하는 제1 어드레스 비교 회로와, 데이터 기입 또는 소거시에 상기 제2 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 불력 어드레스의 일치 여부를 검출하는 제2 어드레스 비교 회로와, 상기 각 뱅크마다 설치되며 상기 제1 및 제2 어드레스 비교 회로가 일치 검출 출력을 낼 수 없는 경우에 활성화되고, 상기 제1 및 제2 어드레스 버스선에 공급되는 어드레스 중 코어 어드레스를 디코딩하여 상기 메모리셀 어레이에 공급하는 제1 코어 디코더와, 이 제1 코어 디코더의 출력을 상기 비지 신호 회로에서 출력되는 비지 신호에 의해 선택하여 메모리셀 어레이에 공급하는 코어 스위치 회로와, 상기 예비 셀어레이 불력에 설치되고 상기 제1 및 제2 어드레스 비교 회로가 일치 검출 출력을 낼 때에 활성화되며, 상기 제1 및 제2 어드레스 버스선에 공급되는 어드레스 중 코어 어드레스를 디코딩하여 상기 예비 셀어레이 불력에 공급하는 제2 코어 디코더를 갖는 것을 특징으로 하고 있다.

본 발명에 의하면, 뱅크는 독립적으로 예비 셀어레이 불력을 준비하여, 뱅크 사이에 걸쳐 불량 불력 구제를 가능하게 한 RWW 사양의 EEPROM이 얻어진다.

본 발명은 또한, 전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되며, 데이터 소거의 최소 단위가 되는 메모리셀의 범위를 불력으로 하여 복수 불력에 의해 구성된 메모리셀 어레이와, 이 메모리셀 어레이의 불량 워드선을 구제하기 위한 예비 셀 어레이와, 상기 메모리셀 어레이의 메모리셀을 선택하는 디코드 회로와, 상기 메모리셀 어레이의 판독 데이터를 검지하여, 기입 데이터를 래치하는 감지 증폭기 회로와, 상기 메모리셀 어레이의 불량 어드레스를 기억하는 불량 어드레스 기억 회로와, 입력된 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치 여부를 검출하는 어드레스 비교 회로를 구비하고, 상기 메모리셀 어레이의 불량 로우를 상기 예비 셀 어레이에 의해 치환하도록 한 반도체 메모리에 있어서, 상기 디코드 회로 중 로우 디코더는, 데이터 소거시에 소거 대상 불력의 불량 워드선에 0V를 제공하고, 그 밖의 워드선에 마이너스 전압을 제공하여, 소거 대상 불력 이외의 불력에서 전체 워드선에 0V

를 제공하도록 구성되며, 상기 메모리셀 어레이의 불럭 단위로 불량 워드선의 치환을 가능하게 한 것을 특징으로 한다.

본 발명에 따르면, 워드선에 마이너스 전압을 제공하여 불럭 소거를 행하는 EEPROM에서, 데이터 소거시에 필요한 판독 전류를 흘리지 않고, 불량 로우의 구제를 행할 수 있다.

이 경우 예를 들면, 불량 어드레스 기억 회로는, 불량 워드선을 특정하는 불량 로우 어드레스와 불럭 어드레스를 기억하는 것으로 한다. 그리고, 데이터 소거시, 불량 어드레스 기억 회로에서 판독되는 불량 로우 어드레스 및 불럭 어드레스를 로우 디코더에 의해 디코딩하여, 선택된 소거 대상 불럭 중 불량 워드선에 0V, 다른 워드선에 마이너스 전압을 제공할 수 있다.

혹은 또는, 로우 디코더에, 각 로우마다 내부에 래치 회로를 구비한다. 그리고 데이터 소거에 앞서 전 로우 어드레스 선택에 의해 불량이 아닌 로우의 래치 회로에 선택 정보를 래치한다. 이렇게 하면, 데이터 소거시에는 이 래치 회로의 선택 정보에 기초하여 불량이 아닌 로우의 워드선에 마이너스 전압을 제공하여, 불량 로우의 워드선에 0V가 제공할 수 있다.

본 발명은 또한, 메모리셀 어레이와, 이 메모리셀 어레이의 불량 셀을 구제하기 위한 예비 셀 어레이와, 상기 메모리셀 어레이의 불량 어드레스를 기억하는 불량 어드레스 기억 회로와, 입력된 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치 여부를 검출하여 상기 메모리셀 어레이의 불량 셀을 상기 예비 셀 어레이에 의해 치환하는 제어를 행하기 위한 어드레스 비교 회로를 구비한 반도체 메모리에 있어서, 상기 불량 어드레스 기억 회로는, 특정 불량 검사 공정에서 발견된 불량 어드레스를 전기적으로 일시 유지하기 위한 일시 기억 회로와, 복수의 불량 검사 공정 후에 상기 일시 기억 회로에 유지된 불량 어드레스를 옮겨 바꿔 고정적으로 기억하는 메탈 퓨즈 회로를 갖는 것을 특징으로 한다.

이와 같이 불량 어드레스 기억 회로내에 일시 기억 회로를 설치하면, 웨이퍼(혹은 칩)의 불량 검사 공정(다이소트)에서 발견된 불량 어드레스를 일시 유지하여, 복수의 혹은 모든 다이소트가 종료한 후에 이 일시 기억한 불량 어드레스를 메탈 퓨즈 회로에 옮겨 비준다고 하는 조작을 행함으로써, 총 다이소트 시간의 단축을 도모할 수 있다.

본 발명은, EEPROM은 물론, DRAM 등의 다른 반도체 메모리에 적용하더라도 유효하다.

발명의 구성 및 작용

이하, 도면을 참조하여, 본 발명의 실시 형태를 설명한다.

[실시 형태 1]

도 1은, 컬럼 예비 회로를 구비한 실시 형태 1에 의한 EEPROM의 구성을 도시하고 있다. 메모리셀 어레이(101)는, 복수 라인의 비트선 BL과 워드선 WL이 배치되고, 이들 각 교차부에 도 2에 도시한 바와 같이 메모리셀 M0이 배치되어 구성된다. 메모리셀 M0은, 부유 게이트와 제어 게이트를 적층하여 이루어지는 MOS 트랜지스터 구조를 지니고, 부유 게이트로의 전하의 주입 유무에 의한 임계치의 차를 임계치 데이터로서 불휘발로 기억한다. 도 2에서는, NOR형 EEPROM을 예로 도시하고 있지만, 이하의 각 실시 형태에 있어서도 마찬가지로 메모리셀 어레이 구성을 이용하는 것으로 한다.

이런 형태의 메모리셀에서는, 데이터 기입은 선택된 비트선 BL에 플러스 전압, 선택된 워드선 WL에 비트선보다 높은 플러스 전압을 인가하여, 열전자 주입에 의해 부유 게이트에 전자를 주입한다. 부유 게이트에 전자가 주입되어 임계치가 높게 된 상태가 예를 들면 데이터 '0'이다. 데이터 소거는, 워드선 WL이 연속하는 범위를 소거의 최소 단위의 불럭으로서, 불럭 단위로 전 워드선에 마이너스 전압을 인가하여, 부유 게이트의 전자를 가판에 방출시킨다. 이와 같이 부유 게이트의 전자를 방출하여 임계치 전압이 낮게 된 상태가 예를 들면 데이터 '1'이다.

어드레스 버퍼(106)에 의해 받아들이는 어드레스는 프리디코더(107)를 통하여, 로우 디코더(102)와 컬럼 디코더(103)에 의해 각각 로우 어드레스와 컬럼 어드레스가 디코딩된다. 이들 디코딩 출력에 의해 메모리셀 어레이(101)의 워드선 선택 및 비트선 선택이 이루어질 수 있다. 컬럼 디코더(103)에 의해 선택된 비트선 데이터는, 감지 증폭기 회로(104)에 의해 감지 증폭된다. 감지 증폭기 회로(104)는, 데이터 기입 시에는, 입출력 단자로부터 데이터 버퍼(113)를 통해 받아들이는 데이터를 래치하는 기능을 갖는다. 도면의 예는, 16 비트 병렬 판독/기입을 행하는 것으로, 16개의 입출력 단자에 대하여, 16개의 감지 증폭기 회로(104)가 설치되고, 컬럼 디코더(103)에 의해 선택된 16개의 비트선 BL과의 사이에서 데이터 전송이 행해지는 것으로 된다.

통상의 메모리셀 어레이(101)에 대하여, 그 중의 불량 비트선을 치환하기 위해서, 복수 컬럼분(도면의 예에서는 3컬럼분)의 스페어 비트선 SBL을 포함하는 예비 컬럼 셀 어레이(201; 201a~201c)가 병설되어 있다. 각 예비 컬럼 셀 어레이(201)에 대응하여 각각 예비 감지 증폭기 회로(105)가 접속되어 있다. 감지 증폭기 스위치 회로(114)는 이들 예비 감지 증폭기 회로(105)의 하나를 선택하는 것이다. 또한, 선택된 예비 감지 증폭기 회로(105)를 16개의 감지 증폭기 회로(104) 중 하나와 전환하여 데이터 입출력 버퍼(113)에 접속하기 위해서, 데이터 스위치 회로(112)가 설치된다.

즉 본 실시 형태에서는, 예비 컬럼 셀 어레이(201)의 데이터는 메모리셀 어레이(101)의 선택된 데이터와 동시에 판독되며, 불량 컬럼이 선택되었을 때에는, 그 불량 컬럼에 대응하는 감지 증폭기 회로(104) 대신에, 예비 컬럼 셀 어레이(201)에 접속된 예비 감지 증폭기 회로(105)를 이용한다고 하는 출력 전환 제어가 행해진다. 그리고 이 치환 제어를 위해, 불량 어드레스 기억 회로(108), 어드레스 비교 회로(109), 불량 1/0 디코더(110) 및 불럭 세트 번호 디코더(111)를 구비하고 있다.

불량 어드레스 기억 회로(108)는 예를 들면 퓨즈 회로이고, 테스트에 의해 검지된 불량 컬럼 어드레스와, 이 불량 컬럼 어드레스에 대응하는 데이터의 입출력이 되어야 할 입출력 단자 데이터(이 실시 형태에서는 4비트), 및 이 입출력 단자에 대응하여 치환되어야 할 예비 컬럼 셀 어레이(201) 중 세트 번호(이 실시 형태에서는 2비트)를 기억한다. 어드레스 비교 회로(109)는, 입력된 어드레스와 불량 어드레스 기억 회

로(108)에 유지된 불량 어드레스의 일치 검출을 행하여, 일치 검출이 되면, 그 검출 신호에 기초하여 불량 1/0 디코더(110)는, 기억되어 있는 불량 어드레스에 대응하는 1/0 단자를 디코딩하여, 히트 신호 HIT<0:15>를 낸다.

블럭 세트 번호 디코더(110)의 논리는 예를 들면, 3개의 예비 감지 증폭기 회로(105)를 각각, S/A(RD0), S/A(RD1), S/A(RD2)로서, 00=S/A(RD0), 01= S/A(RD0), 10=S/A(RD1), 11= S/A(RD2)로 한다. 이와 같은 논리로 감지 증폭기 스위치 회로(114)를 전환하는 것에 의해, 예비 감지 증폭기 회로(105)의 하나를 선택할 수가 있다. 이 때, 블럭 세트 번호 디코더(110)의 논리를, 00에서 HIT<0:15>가 0 고정되도록 하면, 이것을 인에이블 비트로서 이용할 수 있다.

구체적으로, 블럭 세트 번호 '01'의 경우를 예로 들어 설명한다. 불량 어드레스로 입력된 내부 어드레스는 어드레스 비교 회로(109)에서 일치 검출된다. 일치가 검출되지 않은 경우, 불량 1/0 디코더(110)의 출력 HIT<0:15>은 0 고정이다. 이 때, 데이터 스위치 회로(112)는, 본래의 감지 증폭기 회로(104)의 출력을 추출하여 데이터 버퍼(113)에 전송한다. 어드레스 비교 회로(109)에서 일치 검출되면, 불량 어드레스 기억 회로(108)에 기억되어 있는 불량 10 단자 정보가 예를 들면, '0101'(=105)이면, 히트 신호 HIT5가 '1'이 되고, 히트 신호 HIT<0:4>, HIT<6:15>는 '0'이 된다. 한편, 블럭 세트 번호 '01'에 의해, 예비 감지 증폭기 회로(105) 중 감지 증폭기 회로 S/A(RD0)가 선택된다. 이 감지 증폭기 회로 S/A(RD0)의 출력이 데이터 스위치 회로(112)에 들어가, 히트 신호 HIT5에 의해 선택되어 데이터 입출력 버퍼(113)에 전송된다. 그것 이외의 10= 0~4, 10= 6~15의 데이터 스위치 회로(112)는, 히트 신호 HIT<0:4>, HIT<6:15>= '0'이고, 본래의 감지 증폭기 회로(104)의 출력이 선택된다.

이상과 같이 본 실시 형태에 의하면, 3 컬럼분의 예비 컬럼 셀 어레이(201)에 대하여 각각 예비 감지 증폭기 회로(105)를 설치하여, 데이터 판독시에는 동시에 16×3 비트 데이터가 판독되도록 하고 있다. 그리고, 감지 증폭기 스위치 회로(114)와 데이터 스위치 회로(112)에 의해, 불량 어드레스에 대응하는 불량 데이터의 치환을 행하도록 하고 있다. 이에 따라, 복수 컬럼 불량률의 구제가 가능해진다. 또한 본 실시 형태에서는 복수 컬럼분의 예비 회로를 이용함으로써 구제 효율이 높게 된다.

또한 본 실시 형태의 경우, 예비 컬럼 셀 어레이의 출력은, 불량 어드레스를 포함하는 정규의 메모리셀 데이터와 동시에 판독되어, 불량 컬럼 어드레스의 판독 출력을 예비 셀 어레이의 출력에 의해 전환한다고 하는 제어를 행하고 있다. 이에 따라, 예비 셀 어레이의 판독 출력이 정규의 셀 어레이의 판독 출력에 대하여 지연된다는 것이 없다.

또, 예비 컬럼의 수는 3으로 한정되지 않고, 더 많이 할 수도 있다. 그 경우에도 각 예비 컬럼마다 예비 감지 증폭기 회로를 설치하여, 상기 실시 형태의 회로 방식을 이용하면 좋다.

[실시 형태 2]

도 3 및 도 4는 RWW(Read While Write) 사양의 EEPROM에 관해서, 컬럼 예비 회로를 구비한 실시 형태이다. RWW 사양의 EEPROM은, 메모리 셀 어레이가 적어도 2개의 뱅크로 나누어지고, 한쪽의 뱅크에서 데이터 기입 또는 소거가 행해지고 있는 사이에, 다른쪽 뱅크에서의 데이터 판독을 병행하여 행하는 것을 가능하게 한 것이다. 도 3의 예에서는, 메모리셀 어레이(101)가 2개의 뱅크 BANK0, BANK1에 의해 구성되는 경우를 도시하고 있다.

2개의 뱅크 BANK0, BANK1에 동시 액세스를 가능하게 하기 위해서, 각각에 프리디코더(301), 로우 디코더(302), 컬럼 디코더(303)가 설치된다. 또한 각 뱅크 BANK0, BANK1에 각각, 1개의 스페어 비트선으로 이루어지는 예비 컬럼 셀 어레이(304)가 설치된다. 또한 2개의 뱅크 BANK0, BANK1의 한쪽에서 데이터 기입 또는 소거를 행하고, 다른쪽에서 데이터 판독을 행하는 것을 가능하게 하기 위해서, 2개의 뱅크에 공통으로 어드레스 버스선과 데이터 버스선이 2계를 설치된다. 즉, 어드레스 버스선(305a)이 데이터 판독용이고, 어드레스 버스선(305b)가 데이터 기입 또는 소거용이다. 데이터 버스선(306a)은 데이터 판독용이고, 데이터 버스선(306b)는 데이터 기입 또는 소거용이다.

데이터 기입 또는 소거의 커맨드는 제어 회로(310)에 입력된다. 기입 어드레스는, 기입 커맨드 입력시에 어드레스 래치(308)에 들어간다. 데이터 소거는, 메모리셀 어레이의 소거 블럭 단위로 행해지지만, 소거 블럭 어드레스는, 소거 커맨드 입력시에 선택 블럭에 대응하는 블럭 선택 레지스터(도시하지 않음)로 세트된다. 데이터 판독시는, 어드레스는 어드레스 버퍼(307)를 통해 어드레스 버스선(305a)에 공급된다.

어드레스 전환 회로(311)는, 데이터 기입 시는 어드레스 래치(308)에 래치된 어드레스를, 소거 시에는 어드레스 카운터(309)로부터 순차 인크리먼트되는 어드레스를 선택하여, 어드레스 버스선(305b)에 공급한다.

각 뱅크 BANK0, BANK1에는 각각 그 뱅크가 어떤 동작 모드로서 선택되어 있는 지를 나타내는 비지 레지스터(315)가 설치된다. 기입 또는 소거 대상이 되는 뱅크에 관해서, 비지 레지스터(315)에는, 제어 회로(310)로부터의 커맨드에 의해 'H'가 세트된다. 기입 또는 소거 대상이 아닌 뱅크에 대해서는, 비지 레지스터(315)는 'L'을 유지한다.

각 뱅크 BANK0, BANK1에는, 그 뱅크를 판독용 데이터 버스선(306a)에 접속하기 위한 데이터선 스위치 회로(DLSW1; 316a)와, 기입 또는 소거용 데이터 버스선(306b)에 접속하기 위한 데이터선 스위치 회로(DLSW2; 316b)를 갖는다. 상기 도면의 예에서는, 16 비트 병렬 판독을 행하는 경우를 도시하고 있고, 16개씩의 데이터선 스위치 회로(316a, 316b)가 설치되어 있다. 예비 컬럼 셀 어레이(304)에 관해서도 마찬가지로, 2계통의 데이터선 스위치 회로(317a, 317b)가 설치된다.

이를 2계통의 데이터선 스위치 회로의 온 오프는, 비지 레지스터(315)의 데이터에 의해 제어된다. 즉, 비지 레지스터(315)의 출력이 'H'이면, 데이터선 스위치 회로(316b, 317b)가 온이 되어, 뱅크는 기입 또는 소거용 데이터 버스선(306b)에 접속된다. 비지 레지스터(315)의 출력이 'L'이면, 데이터선 스위치 회로(316a, 317a)가 온이 되어, 뱅크는 기입 또는 소거용 데이터 버스선(306a)에 접속된다.

2계통의 어드레스 버스선(305a, 305b)에 대하여도 마찬가지로, 각 뱅크마다 2계통의 어드레스선 스위치

회로(AddSW1, AddSW2; 318a, 318b)가 설치된다. 이들의 어드레스선 스위치 회로(318a, 318b)도 비지 레지스터(315)에 의해 제어된다. 즉, 비지 레지스터(315)의 출력이 'H'이면, 어드레스선 스위치 회로(318b)가 온이 되어, 기입 또는 소거용 어드레스 버스선(305b)의 어드레스가 프리디코더(301)에 공급된다. 비지 레지스터(315)의 출력이 'L'이면, 어드레스선 스위치 회로(318a)가 온이 되어, 판독용 어드레스 버스선(305a)의 어드레스가 프리디코더(301)에 공급된다.

판독 데이터를 감지하는 감지 증폭기 회로(319a)는, 판독용 데이터 버스선(306a)에 접속된다. 기입 또는 소거 시의 검증 판독에 이용되는 감지 증폭기 회로(319b)는, 기입 또는 소거용 데이터 버스선(306b)에 접속된다. 상기 도면의 예에서는, 16비트 병렬 동작을 행하기 위해, 각각 감지 증폭기 회로(319a, 319b)로서 16개 배치된다. 이 외에, 예비 컬럼 셀 어레이의 출력을 판독하기 위해서, 데이터 버스선(306a, 306b)에는 1개씩의 예비 감지 증폭기 회로(320a, 320b)가 설치된다.

데이터 판독 시, 불량 컬럼 어드레스가 선택된 경우에, 감지 증폭기 회로(319a)의 출력의 하나를 예비 감지 증폭기 회로(320a)의 출력에 의해 치환하기 위해서, 데이터 스위치 회로(321a)가 설치된다. 이 데이터 스위치 회로(321a)는, 불량 어드레스 감지에 의해 발생하는 히트 신호 HITa<0:15>에 의해 제어된다. 마찬가지로, 검증 판독 시에, 불량 컬럼 어드레스가 선택되었을 때에 감지 증폭기 회로(319b)의 출력의 하나를 예비 감지 증폭기 회로(320b)의 출력에 의해 치환하기 위해서, 데이터 스위치 회로(321b)가 설치된다. 이 데이터 스위치 회로(321b)는, 불량 어드레스 감지에 의해 발생하는 히트 신호 HITb<0:15>에 의해 제어된다.

그리고, 통상의 데이터 판독 시, 판독 데이터는 데이터 버퍼(323)를 통해 외부에 출력된다. 또한 검증 판독 시의 판독 데이터는, 판정 회로(322)에 보내져 검증 판정이 이루어진다.

데이터 판독 시와, 기입 또는 소거 검증 판독 시의 불량 컬럼 치환을 위한 히트 신호 HITa, HITb를 각각 출력하기 위해서, 도 4에 도시한 바와 같이, 2계통의 어드레스 버스선(305a, 305b)에 대응하여, 어드레스 비교 회로(313a, 313b)와, 불량 I/O 디코더(314a, 314b)를 갖는다. 어드레스 기억 회로(312)에는 각 뱅크의 불량 컬럼 어드레스와 이것에 대응하는 입출력 단자(I/O)의 데이터가 기억된다. 어드레스 비교 회로(313a, 313b)는 각각, 데이터 판독 시 및 검증 판독 시의 어드레스 버스선(305a, 305b)의 어드레스와 기억 회로(312)의 유지 어드레스와의 일치 검출을 행한다. 일치 검출이 이루어지면, 실시 형태 1과 마찬가지로 불량 I/O 디코더(314a, 314b)에 의해 불량 I/O에 따라서 히트 신호 HITa<0:15>, HITb<0:15>를 출력한다.

이 실시 형태에서의 불량 컬럼 치환의 동작을 구체적으로 설명한다. 데이터 판독 시, 어드레스 버퍼(307)로부터 받아들인 어드레스는, 어드레스 비교 회로(313a)에서 불량 어드레스 기억 회로(213)의 어드레스와 비교된다. 일치 검출이 없는 경우에는, 히트 신호 HITa<0:15>는 전부 '0'이고, 이 때 감지 증폭기 회로(319a)의 출력이 그대로 외부에 추출된다. 어드레스 비교 회로(313a)에서 일치 검출이 이루어져, I/O=15가 불량이었다고 하면, 히트 신호 HITa<0:15>는, HITa0~14이 '0', HITa15='1'이 된다. 이것에 의해 I/O=15의 감지 증폭기 회로(319a)의 출력이 예비 감지 증폭기 회로(320a)의 출력에 의해 치환되고, 이외는 그대로 출력된다.

데이터 기입 또는 소거 시, 어드레스 래치(308) 또는 어드레스 카운터(309)로부터의 어드레스는, 어드레스 비교 회로(313b)에서 불량 어드레스 기억 회로(312)의 어드레스와 비교된다. 일치 검출이 없는 경우에는, 히트 신호 HITb<0:15>는 전부 '0'이고, 이 때 검증용 감지 증폭기 회로(319b)의 출력이 그대로 판정 회로(322)에 보내져진다. 어드레스 비교 회로(313b)에서 일치 검출이 되어, I/O=15가 불량이었다고 하면, 히트 신호 HITb<0:15>는, HITb0~14가 '0', HITb15='1'이 된다. 이에 따라, I/O=15의 감지 증폭기 회로(319b)의 출력이 예비 감지 증폭기 회로(320b)의 출력에 의해 치환되고, 이외는 그대로 판정 회로(322)에 보내져진다.

이상과 같이 본 실시 형태의 EEPROM에서는, R/W 사양을 위해 2계통의 어드레스 버스선과 데이터 버스선을 복수 뱅크에 대하여 공통으로 배치하고, 비지 신호에 의해 이들 2계통의 어드레스 버스선과 데이터 버스선의 접속 전환을 행하여, 하나의 뱅크에서의 데이터 기입 또는 소거와 다른 뱅크에서의 데이터 판독을 가능한 것으로 하고 있다. 예비 컬럼 셀 어레이의 출력은, 실시 형태 1에 있어서와 마찬가지로, 본래의 메모리 셀 어레이의 출력과 동시에 예비 감지 증폭기 회로에 추출한다. 그리고, 2계통의 동작 모드에 대응하여, 불량 어드레스의 일치 검출을 행하는 어드레스 비교 회로를 2계통 준비하여, 각 동작 모드에서 각각 감지 증폭기 회로 출력의 전환을 행하여, 불량 컬럼 치환을 실현하고 있다.

또 실시 형태 2에서는, 설명을 간단히 하기 위해, 예비 컬럼 셀 어레이(304)가 하나의 경우를 도시하였지만, 실시 형태1에 있어서와 마찬가지로, 복수의 예비 컬럼 셀 어레이를 준비하여, 실시 형태 1과 마찬가지로 회로 방식에 의해 복수 컬럼 치환을 가능하게 할 수 있다.

[실시 형태 3]

도 5 및 도 6은, R/W 사양의 EEPROM으로서, 메모리 셀 어레이의 데이터 소거의 최소 단위가 되는, 복수의 메모리 셀의 집합인 블록을 불량 구제의 치환 단위로 하는 블록 예비 회로 방식의 실시 형태이다. 메모리 셀 어레이(401)는, 기본적으로 실시 형태1, 2와 동일 구성이지만, 실시 형태 2와 마찬가지로 적어도 2개의 뱅크 BANK0, BANK1로 나누어져 있다. 각 뱅크의 메모리 셀 어레이(401)에 대하여, 그 중의 불량 블록을 치환하기 위해서, 예비 셀 어레이 블록(이하, 단순히 예비 블록이라고 함; 403)이 설치된다. 예비 블록(403)은 1 내지 복수의 스페어 블록으로 이루어진다.

도면에서는, 메모리 셀 어레이(401) 및 예비 블록(403)은, 그 속에 로우 디코더, 컬럼 디코더 및 감지 증폭기 회로를 포함하는 것으로 도시하고 있다. 메모리 셀 어레이(401)와 예비 블록(403)에는, 이들에 공급되는 로우 어드레스 및 컬럼 어드레스를 디코딩하는 프리디코더(402, 404)가 각각 설치된다.

실시 형태 2와 마찬가지로, 2계통의 어드레스 버스선(305a, 305b)이 설치되고, 또한 각 뱅크 BANK0, BANK1에는 비지 레지스터(315)가 설치되며, 이 비지 레지스터(315)에 의해 온 오프 제어되는 어드레스선 스위치 회로(318a, 318b)가 설치된다. 즉, 기입 또는 소거 모드일 때는, 어드레스 버스선(305b)의 어드

레스가, 어드레스선 스위치 회로(318b)에 의해 프리디코더(402, 404)에 동시에 공급된다. 판독 모드에서는, 어드레스 버선(305a)의 어드레스가 어드레스선 스위치 회로(318a)에 의해 프리디코더(402, 404)에 동시에 공급된다.

도 6에 도시하는 어드레스 공급부의 구성은, 이전 실시 형태 도 4의 구성과 기본적으로 마찬가지로. 그리고 2계통의 어드레스 비교 회로(313a, 313b)의 출력 신호선(411a, 411b)은 2개의 뱅크 BANK0, BANK1에 공통으로 배치되고, 불량 어드레스와의 일치가 검출되면, 이들에 히트 신호 HITa='H', HITb='H'가 출력된다.

각 뱅크 BANK0, BANK1에는, 2계통의 히트 어드레스 스위치 회로(410a, 410b)가 설치된다. 히트 신호가 HITa=HITb='L'일 때는, 히트 어드레스 스위치 회로(410a, 410b)에 의해, 메모리셀 어레이(401)측의 프리디코더(402)가 활성화, 예비 블록(403)측의 프리디코더(404)가 비활성화 된다. 그리고, 히트 신호 HITa='H'가 되면, 히트 어드레스 스위치 회로(410a)에 의해 프리디코더(402)가 비활성, 프리디코더(404)가 활성화 된다. 히트 어드레스 스위치 회로(410b)도 마찬가지로, 히트 신호 HITb에 의해, 메모리셀 어레이(401)측과 예비 블록(403)측의 활성화, 비활성을 제어한다.

본 실시 형태에 있어서도, 전번의 실시 형태 2와 마찬가지로, 판독용 데이터 버선(306a)과 기입 또는 소거용 데이터 버선(306b)이 각 뱅크 BANK0, BANK1에 대하여 공통으로 설치된다. 그리고, 메모리셀 어레이(401)와 예비 블록(403)에는 동시에 어드레스가 공급되어지지만, 입력 어드레스가 불량 어드레스에 일치하지 않은 경우에는 메모리셀 어레이(401)측이 활성화, 불량 어드레스에 히트한 경우에는, 예비 블록(403)측이 활성화 되어, 각각으로부터 데이터가 판독된다. 이들 판독 데이터는, 동작 모드에 따라서, 판독용 데이터 버선(306a)에 혹은 검증 판독용 데이터 버선(306b)으로 전환되어 출력된다.

이상과 같이 본 실시 형태에 따르면, 데이터 판독 중의 뱅크와 데이터 기입 또는 소거 중의 뱅크에서 각각 독립적으로, 불량 어드레스에 대한 블록 단위의 치환 제어가 행해진다.

단지, 본 실시 형태에서의 예비 블록(403)에 의한 블록 치환은, 그 예비 블록이 속하는 뱅크내로 한정된다.

[실시 형태 4]

도 7은, 실시 형태 3을 변형한 실시 형태이다. 본 실시 형태가 도 5와 다른 점은, 각 뱅크 BANK0, BANK1에, 2계통의 어드레스 버선(305a, 305b)에 각각 대응하여, 뱅크내의 코어 선택을 행하는 코어 디코더(420a, 420b)를 설치하고 있는 점이다. 여기서, '코어'란, 데이터 소거의 최소 단위가 되는 블록의 복수의 집합이고, 예를 들면 8개의 블록으로 하나의 코어를 구성한다. 뱅크는 1 내지 복수의 코어로 구성되게 된다.

코어 디코더(420a, 420b)는, 비지 레지스터(315)에 의해 선택적으로 온 오프 제어되는 코어 스위치 회로(421a, 421b)를 통해, 메모리셀 어레이(401)측의 프리디코더(402) 및 예비 블록(403)측의 프리디코더(404)에 공급된다. 즉, 비지 레지스터(315)의 출력이 'H'인 측의 뱅크에서는, 어드레스 버선(305b)의 코어 어드레스가 코어 디코더(420b)에 의해 디코딩되어, 코어 스위치 회로(421b)를 통해 프리디코더(402, 404)에 공급된다. 프리디코더(402, 404)가 히트 신호 HITb에 의해 선택적으로 활성화, 비활성화 되는 것은, 전번의 실시 형태 3과 마찬가지로이다. 비지 레지스터(315)의 출력이 'L'인 측의 뱅크에서는, 어드레스 버선(305a)의 코어 어드레스가 코어 디코더(420a)에 의해 디코딩되어, 코어 스위치 회로(421a)를 통해 프리디코더(402, 404)에 공급된다. 이 경우도, 불량 어드레스와의 일치 검출의 결과인 히트 신호 HITa에 따라서, 프리디코더(402, 404)가 선택적으로 활성화, 비활성화 된다.

본 실시 형태 4에 의해서도, 실시 형태 3과 마찬가지로, 데이터 판독 중의 뱅크와 데이터 기입 또는 소거 중의 뱅크에서 각각 독립적으로, 불량 어드레스에 대한 블록 단위의 치환 제어가 행해진다. 또한 본 실시 형태의 경우, 프리디코더보다 전에 코어 어드레스의 디코딩을 행하는 코어 디코더(420a, 420b)를 설치하는 것에 의해, 전번의 실시 형태 3에 비해 어드레스선 스위치 회로(318a, 318b)의 스위치 수를 삭감할 수 있다.

도 10은, 실시 형태 3 및 4의 RWW형 EEPROM에서의 불량 블록 치환의 모습을 도시하는 개념도이다. 상기에서는 전원 관계의 설명을 생략하였지만, RWW 사양을 만족시키기 위해, 도시한 바와 같이 판독용 전원(431a)와 기입 또는 소거용 전원(431b)에 접속되는 별개의 전원선(432a, 432b)가 뱅크 BANK0, BANK1에 대하여 공통으로 배치된다. 그리고, 각 뱅크의 동작 모드에 따라 이들 전원선(432a, 432b)가 전원선 스위치 회로(433, 434)에 의해 선택되어 각 뱅크 BANK0, BANK1에 접속되도록 되어 있다.

또한, 도 10에서는, 한쪽 뱅크 BANK0은 용량이 크고, 복수의 코어 0~n으로 구성되고, 다른쪽 뱅크 BANK1은 하나의 코어로 구성되는 경우를 보이고 있다. 각 코어에는 8개의 블록 BLK0~BLK7이 정규의 블록으로서 준비되어, 각 코어마다 코어 어드레스를 공통으로하는 스페어 블록RBLK가 설치된다. 이 스페어 블록RBLK가 상술한 예비 블록(403)을 구성하고 있다.

실시 형태 3,4에 있어서는, 도 10에 예시한 바와 같이, 예를 들면 뱅크 BANK0내에서 코어1의 블록 BLK7이 x로 표시한 바와 같이 불량인 경우, 동일 코어 1에 부속하는 스페어 블록 PBLK에 의해 치환이 행해진다. 즉, 실시 형태 3,4에서의 블록 치환의 제약은, 동일 뱅크내로 한정될 뿐만 아니라, 동일 코어내로 한정된다. 즉, 어떤 코어에 불량이 있었던 경우에, 그 코어와 코어 어드레스를 공통으로하는 스페어 블록으로 밖에 치환할 수 없다고 하는 제약이 있다.

[실시 형태 5]

도 8은, 도 7의 실시 형태를 변형하여, 블록 치환의 자유도를 증가시킨 실시 형태이다. 본 실시 형태에서는, 도 7의 실시 형태와 다르게, 코어 디코더(420a, 420b)에 대하여, 히트 신호 HITa, HITb가 들어가도록 하고 있다. 단지, 이 경우 히트 신호 HITa, HITb는 단순한 어드레스 일치 검출 신호만이 아니고, 치환하여야 할 스페어 블록을 포함하는 코어의 코어 어드레스를 포함하는 것으로 한다.

구체적으로는, 도 6에 도시한 불량 어드레스 기억 회로(312)에, 불량 블록 어드레스와 동시에, 그 불량

블럭 어드레스의 블럭을 치환하여야 할 스페어 블럭의 코어 어드레스를 기억하여 놓는다. 어드레스 비교 회로(313a, 313b)에서는, 불량 어드레스의 일치 검출 신호와 동시에 치환하여야 할 스페어 블럭이 속하는 코어 어드레스를 포함하는 히트 신호 HITa, HITb를 출력하며, 이것을 코어 디코더(420a, 420b)에 보낸다. 이에 따라, 코어 디코더(420a, 420b)는, 불량 어드레스가 검지되었을 때에 지정된 코어 어드레스를 디코딩하여 스페어 블럭을 선택한다.

도 11은, 본 실시 형태에서의 블럭 치환의 모습을 도 10에 대응시켜 도시하고 있다. 도시된 바와 같이, 예를 들면 코어1의 블럭 BLK7이 불량인 경우에, 그 코어1에 속하는 스페어 블럭 RBLK으로 한하지 않고, 코어0의 스페어 블럭 RBLK에 의해서 코어1내의 불량 블럭 BLK7을 치환하는 것이 가능하게 된다.

따라서 본 실시 형태에 따르면, 불량 블럭 치환의 자유도가 더 증가하고, 높은 구제 효율을 실현할 수 있다.

[실시 형태 6]

도 9는, 뱅크내에서의 블럭 치환이라는 제약을 없게 하여, 블럭 치환의 자유도를 더 높인 실시 형태이다. 본 실시 형태에서는 우선, 전번의 실시 형태 3~5와 다르게, 뱅크 BANK0, BANK1의 메모리셀 어레이(401)는 독립적으로 예비 블럭(403)을 갖는다. 구체적으로, 예비 블럭(403)이 뱅크 BANK0, BANK1와 독립이라는 것은, 예비 블럭(403)의 디코드 회로에는, 뱅크 BANK0, BANK1의 메모리셀 어레이(401)의 디코드 회로와는 독립적으로, 불량 어드레스가 검지되었을 때만 어드레스가 공급된다는 점이다.

즉, 각 뱅크 BANK0, BANK1의 어드레스선 스위치 회로(318a, 318b)와는 별개로, 예비 블럭(403)에도 2계통의 어드레스선(305a, 305b)을 전환하는 어드레스선 스위치 회로(501a, 501b)가 설치된다. 또한, 각 뱅크 BANK0, BANK1에 각각, 2계통의 어드레스 버스선(305a, 305b)에 대응하여 코어 디코더(420a, 420b)가 설치될과 동시에, 이들과 달리 예비 블럭(403)측에도, 어드레스 버스선(305a, 305b)에 각각 대응하여 코어 디코더(502a, 502b)가 설치된다.

각 뱅크 BANK0, BANK1의 코어 디코더(420a, 420b)에는, 2계통의 어드레스 비교 회로(313a, 313b)의 출력 신호선(411a, 411b)에 얻어지는 히트 신호 HITa, HITb가 반전하여 활성화 신호로서 들어간다. 예비 블럭(403)측의 코어 디코더(502a, 502b)에는, 출력 신호선(411a, 411b)에 얻어지는 히트 신호 HITa, HITb가 그대로 활성화 신호로서 들어간다.

그리고, 코어 디코더(502a)의 출력에 의해 한쪽의 어드레스선 스위치 회로(501a)를 온으로 하며, 코어 디코더(502b)의 출력에 의해 다른쪽의 어드레스선 스위치 회로(502b)를 온으로 한다. 또한 불량 어드레스 기억 회로(312)에는 불량 블럭 어드레스와 같이 치환하여야 할 스페어 블럭의 어드레스를 기억하여, 히트 신호 HITa, HITb에 일치 검출 신호와 동시에 스페어 블럭의 어드레스를 출력하도록 한다. 코어 디코더(502a, 502b)의 출력은, OR게이트 6에 의해 논리합이 취해져, 이것을 코어 선택 신호로 하여, 예비 블럭(403)측의 프리디코더(404)의 활성화, 비활성을 제어한다.

본 실시 형태의 경우, 불량 블럭 어드레스가 검지되지 않으면, 각 뱅크 BANK0, BANK1의 코어 디코더(420a, 420b)가 활성화고, 비지 레지스터(315)의 출력에 따라서, 각 뱅크 BANK0, BANK1에 관해서 동작 모드에 대응한 액세스가 이루어질 수 있다. 불량 블럭 어드레스가 검출되면, 각 뱅크 BANK0, BANK1의 코어 디코더(420a, 420b)는 비활성이 되고, 대신에 예비 블럭(403)측의 코어 디코더(502a, 502b)가 활성화 된다. 그리고, 동작 모드에 따라서, 어드레스 신호선(305a, 305b)의 어드레스에 의해, 예비 블럭(403)이 액세스되어, 특정한 스페어 블럭이 선택된다.

따라서 본 실시 형태에 의하면, 예비 블럭(403)은, 뱅크 BANK0, BANK1의 어느쪽 불량 블럭에 대하여도 치환할 수 있는 것이 된다. 본 실시 형태에서의 블럭 치환의 모습을 개념적으로 도시하면, 도 12와 같이 된다. 도시한 예에서는, 예비 블럭(403)의 하나인 스페어 블럭 RBLK1은, 뱅크 BANK0의 코어내의 불량 블럭 BLK7을 치환하고, 다른 스페어 블럭 RBLK2, RBLK3는 뱅크 BANK1내의 불량 BLK6, BLK7을 각각 치환하고 있다.

이상과 같이 본 실시 형태에 의하면, 뱅크의 제약없이 블럭 치환을 할 수 있어, 치환의 자유도 및 구제 효율이 높게 된다.

단지, 상술된 바와 같이 뱅크의 제약없이 블럭 치환을 행하는 경우에, 예비 블럭(403)측에서는 각 스페어 블럭마다 동작 모드에 따른 전원 관계의 전환 제어가 필요하게 된다. 그 때문에, 도 12에 도시한 바와 같이, 각 스페어 블럭마다 전원선 스위치 회로(503)가 설치된다. 구체적으로, 뱅크 BANK0가 데이터 판독 모드에 있고, 그 뱅크내의 블럭 치환을 행하는 경우에는, 스페어 블럭에는 판독용 전원선(432a)을 접속한다고 하는 제어가 필요하다.

[실시 형태 7]

도 10 및 도 11에서는, 뱅크 BANK0, BANK1의 용량이 다르고, 그 용량에 따라서 스페어 블럭을 배치한 경우를 보이고 있다. 이 경우, 용량이 작은 뱅크 BANK1측에서는 스페어 블럭의 수가 당연히 적다. 따라서 치환의 범위가 뱅크내에 한정되어 있으면, 용량이 작은 쪽의 뱅크에서는 다수의 블럭 치환을 할수 없게 된다.

도 13은, 이 점을 고려한 실시 형태를, 도 11에 대응시켜 도시하고 있다. 뱅크 BANK0에서는, 하나의 코어에 대하여 하나의 스페어 블럭 RBLK를 배치한 데 대하여, 하나의 코어로 구성되는 뱅크 BANK1에는 2개의 스페어 블럭을 배치하고 있다. 이에 따라, 용량이 작은 뱅크 BANK1내에서의 치환 효율을 높게 할 수 있다. 보다 일반적으로 말하면, 2개의 뱅크 용량이 다른 경우에, 용량이 작은 쪽의 뱅크에서의 스페어 블럭의 메모리셀 어레이에 대한 용량비율, 용량이 큰 뱅크에서의 스페어 블럭의 메모리셀 어레이에 대한 용량비에 비해 크게 설정한다. 이에 따라, 용량이 작은 뱅크에서도 효율적인 불량 블럭 치환이 가능하게 된다.

[실시 형태 8]

다음에, 메모리셀 어레이에 예비 로우 셀 어레이를 구비하여, 불량 로우 치환을 행하는 실시 형태를 설명한다. 본 실시 형태에 있어서, 메모리셀 어레이의 로우 방향으로는 복수의 블록에 걸쳐 연속하는 메인 워드선이 배치되고, 각 블록마다 독립된 워드선이 배치된다. 그리고, 로우 메인 디코더에서 메인 워드선 선택을 행하여, 이 선택된 메인 워드선에 따른 복수 블록의 워드선이 로우 서브 디코더로 선택된다. 이와 같은 셀 어레이 구성의 경우, 불량 로우의 치환은, 메인 워드선 단위로 행하도록 하는 것이 통상이다. 이것에 대하여 본 실시 형태에서는, 블록마다의 불량 로우 치환을 가능하게 한다. 동시에, 워드선에 마이너스 전압을 인가하는 블록 단위의 데이터 소거 모드에 있어서, 불량 로우의 워드선 및 비선택 블록의 워드선을 0V로 하여, 필요없는 판독 전류가 흐르지 않도록 하는 것을 가능하게 한다.

도 14는, 본 실시 형태에서의 메모리셀 어레이(601)와 그 로우 계통의 선택 구동 회로부의 구성을 보이고 있다. 도면에서 메모리셀 어레이(601)는, 로우 방향으로 8개 블록 BLK0~BLK7에 의해 구성된 하나의 코어 부분을 도시하고 있다. 통상 마찬가지로 코어가 복수개 배치된다. 메모리셀 어레이(601)에는, 도 16에 도시한 바와 같이, 블록 BLK0~BLK7에 대하여 연속하는, 상보 신호선의 메인 워드선 Mi, MBi가 배치되어, 이 메인 워드선 Mi, MBi에 의해 선택되는 각 블록마다의 워드선 WL0~WL7이 배치된다. 이 메모리셀 어레이(601)에 대하여, 예비 로우 셀 어레이(602)가 배치되어 있다. 예비 로우 셀 어레이(602)는, 1 내지 복수 라인의 예비 메인 워드선을 갖는다.

메모리셀 어레이(601)의 메인 워드선 Mi, MBi를 선택하는 것이, 로우 메인 디코더(603)이고, 선택된 메인 워드선 Mi, MBi에 기초하여 각 블록내의 워드선 WL의 선택을 행하는 것이, 각 블록마다 설치된 로우 서브 디코더(604; 604a, 604b)이다. 로우 서브 디코더(604)는 본 실시 형태의 경우, 인접하는 2개의 블록 사이에 2개씩 배치되어 있다. 로우 서브 디코더(604)는 구체적으로, 도 16에 도시한 바와 같이, 메인 워드선 Mi, MBi에 의해 구동되는 NMOS 트랜지스터 QN1, QP1로 이루어지는 트랜스퍼 게이트와, 메인 워드선 MBi에 의해 구동되어 워드선 WL을 VSS로 리셋하기 위한 NMOS 트랜지스터 QN2를 갖는다.

로우 서브 디코더(604)는 구체적으로, 워드선 선택 구동 회로(606)에 의해 동작 모드에 따라서 발생하는 워드선 구동 전압 BLKF1~4을, 각 블록의 워드선 WL에 전송하기 위한 것이다. 본 실시 형태의 경우, 워드선 선택 구동 회로(606)는, 도 16에 도시한 바와 같이, 인접하는 2개씩의 블록에 공통의 4개의 드라이버 F1~F4로 구성된다. 또한, 로우 서브 디코더(604)와 워드선 선택 구동 회로(606)의 사이에는 또한, 전송 게이트(608; 608a, 608b)가 설치된다. 이것들의 전송 게이트(608)는, 워드선 선택 구동 회로(606)의 각 드라이버 F1~F4의 출력을 로우 서브 디코더(604)에 선택적으로 전송하는 것이다. 전송 게이트(608)는, 블록 어드레스를 디코딩하는 블록 디코더(7607)의 상보 출력 BR, BRB(BRa, BRBa, BRb, BRBb, ...)에 의해 제어되어 NMOS 트랜지스터 QN3와 PMOS 트랜지스터 QP2와, 로우 서브 디코더(604)로의 입력 신호선을 VSS로 리셋하기 위한 NMOS 트랜지스터 QN4에 의해 구성된다.

도 19에 도시한 바와 같이, 데이터 판독 시의 외부 어드레스를 받아들이는 어드레스 버퍼(610)와, 데이터 소거 검증시에 순차 갱신하는 어드레스를 발생하는 어드레스 카운터(611)의 출력은, 어드레스 전환 회로(613)에 의해 동작 모드에 따라서 전환되고, 프리디코더(615), 워드선 선택 구동 회로(606) 및 블록 디코더(607)에 보내어진다. 프리디코더(615)는, 로우 어드레스와 컬럼 어드레스를 분리하여 각각 메인 로우 디코더(603)와 컬럼 디코더(도시하지 않음)에 공급한다. 워드선 선택 구동 회로(606)에는, 8 블록을 동시에 선택하기 위한 신호(예를 들면, 8 블록으로 코어를 구성하는 경우의 코어 선택 신호)가 주어지, 워드선 구동 전압을 발생한다.

도 14에서는, 컬럼 계통의 구성을 생략하였지만, 통상의 EEPROM과 마찬가지로 비트선 선택을 행하는 컬럼 디코더, 이 컬럼 디코더에서 선택된 비트선의 판독 데이터를 검출하고, 또한 기입 데이터를 래치하는 감지 증폭기 회로를 갖는다.

불량 어드레스 기억 회로(612)는 본 실시 형태의 경우, 불량 로우 어드레스와 함께, 불량 워드선을 포함하는 블록 어드레스를 기억하는 것으로 한다. 어드레스 전환 회로(613)에 의해 얻어지는 내부 어드레스와 불량 어드레스 기억 회로(612)에 기억된 불량 어드레스의 일치 검출을 행하는 어드레스 비교 회로(614)는, 일치 검출에 의해 히트 신호 HIT를 출력하고, 이에 따라 프리디코더(615)가 비활성화되며, 예비 로우 선택 회로(605)가 활성화되어, 예비 로우 셀 어레이(602)에 의한 불량 로우의 치환이 행해진다.

데이터 소거의 경우에는, 어드레스 전환 회로(613)는, 제어 회로(616)로부터 얻어지는 소거 모드 제어 신호 ERS에 의해 제어되며, 불량 어드레스 기억 회로(612)의 불량 로우 어드레스 및 블록 어드레스를 받아들인다. 이에 따라, 프리디코더(615)는 불량 로우를 선택하고, 로우 메인 디코더(603)에서는 불량 로우만을 '비선택', 그 밖의 로우를 '선택'으로 한다. 또한 블록 디코더(607)는 소거 대상 블록을 선택하여, 전송 게이트(608)를 제어한다. 이에 따라, 후에 상세를 설명하지만, 소거 대상으로서 선택된 블록에서는, 불량 워드선에는 0V, 그것 이외의 전 워드선에는 마이너스 전압 VBB가 주어진다. 또한, 비선택 블록에서는 메인 워드선의 선택, 비선택에 상관없이, 전 워드선이 0V(이)가 되도록 제어된다.

로우 메인 디코더(603)는, 도 17과 같이 구성된다. NAND 게이트 611는, 메인 워드선을 선택하는 디코딩용 게이트이다. 이 NAND 게이트 611의 출력 노드 N1의 신호는, 소거 모드 이외일 때(즉, 소거 제어 신호 ERS='L'일 때)는 전송 게이트 T61에 의해 그대로 노드 N2에 전송된다. 또한 소거 모드일 때(즉, ERS='H'일 때)는, 클럭드 인버터 D11에 의해 반전되어 전송된다.

노드 N1의 신호는 인버터 I1에 의해 반전한 신호와 함께, 레벨 시프터 LS1에 입력되어, 'H' 레벨을 클러스트의 승압 회로 출력 VSW, 'L' 레벨을 VSS(접지)로 하는 신호로 변환된다. 또한 그 출력은, 레벨 시프터 LS2에 의해, 'H' 레벨을 전압 VSW, 'L' 레벨을 마이너스의 승압 회로 출력 VBB로 하는 신호로 변환된다. 그리고, 레벨 시프터 LS2의 출력은, 인버터 I2, I3, I4를 통해 한쪽의 메인 워드선 MBi에, 인버터 I2의 출력은 인버터 I5에서 반전하여 다른쪽의 메인 워드선 Mi에 각각 공급된다.

이에 따라, 데이터 판독 모드에서는, 선택된 메인 워드선 Mi, MBi는, Mi=VSW(예를 들면, 4.8V), MBi=VBB(예를 들면, 0V)가 된다. 한편, 데이터 소거 모드에서는, 불량 로우로서 선택된 메인 워드선 Mi, MBi가, Mi=VBB(예를 들면, -7.5V), MBi=VSW(예를 들면, 2.5V)가 된다. 즉, 데이터 판독과는 논리 반전한다.

‘선택’ 상태가 된다.

또, 예비 로우 셀 어레이(602)에 대한 로우 메인 디코더 부분은, 입력 6Ai, 6Bi, 6Ci에 대신에, 어드레스 비교 회로(613)에서의 불량 어드레스와의 일치 검출에 의한 히트 신호 HIT와 블록 어드레스 및 VCC가 입력될 뿐이고, 구성은 동일하다.

워드선 선택 구동 회로(606)는 도 18과 같이 구성된다. 각 드라이버 F1~F4의 NAND 게이트 621가 8 블록에 대한 4세트의 로우 서브 디코더(604)중 1세트를 선택하는 디코딩용 게이트이고, 선택 상태에서 출력 이 ‘L’가 된다. 이 NAND 게이트 621의 출력은 또한 2단의 NAND 게이트 622, 623를 통하여, 2단의 레벨 시프터 LS3, LS4, 및 인버터 18~110를 통해, 워드선 구동 신호 BLK가 만들어진다.

NAND 게이트 622, 623의 제어 입력에는, 동작 모드에 따라서 다른 신호가 들어 간다. 즉, 데이터 판독 및 기입 모드일 때는, 소거 제어 신호 ERS=‘L’이고, 전송 게이트 T62가 온, 클럭드 인버터 C12가 오프이다. 이 때, 8 블록을 선택하는 코어 선택 신호 8i가 전송 게이트 T62를 통해, NAND 게이트 623에 입력된다. NAND 게이트 622에는, 코어 선택 신호 8i가 인버터 16에 의해 반전되어 들어 간다. 따라서, NAND 게이트 623의 출력 노드 N3은, 판독 및 기입의 선택 상태에서 ‘L’가 된다.

노드 N8의 신호는, 레벨 시프터 LS3에 의해, ‘H’ 레벨이 VSW, ‘L’ 레벨이 VSS의 신호로 레벨 변환되어, 또한 레벨 시프터 LS4에 의해, ‘H’ 레벨이 VSW, ‘L’ 레벨이 VBB의 신호로 변환된다. 그리고 레벨 변환된 신호는 인버터 18~110를 통해 추출되어, 워드선 구동 신호 BLKF1~BLKF4중 선택된 것이 ‘H’ (=VSW)가 된다.

소거 모드에서는, 소거 제어 신호 ERS=‘H’이고, 이 때 전송 게이트 T62는 오프, 클럭드 인버터 C12가 온 이 된다. 따라서, NAND 게이트 622에는 ‘L’이 들어 가고, NAND 게이트 623에는, 코어 선택 신호 8i가 클럭드 인버터 C12에 의해 반전되어 입력된다. 이 결과, NAND 게이트 623의 출력 노드 N3은, 데이터 판독 및 기입과는 반전한 논리가 되어, 선택 상태에서 ‘H’가 된다. 이에 따라, 워드선 구동 신호 BLKF1~BLKF4의 선택된 것이 ‘L’ (=VBB)가 된다.

워드선 구동 신호 BLKF1~BLKF4는, 블록 디코더(607)에 의해 선택되는 전송 게이트(608)를 통해 로우 서브 디코더(604)에 전송된다. 로우 서브 디코더(604)에 있어서는, 메인 워드선 Mi, MBi의 전위에 따라서, 선택된 워드선 W에 구동 전압 BLKF가 주어진다.

구체적으로 소거 모드에 있어서, 워드선 구동은 다음과같이 행해진다. 상술한 바와 같이 로우 메인 디코더(603)에 의해, 불량 로우가 선택되어, 그 메인 워드선의 쌍은, Mi=‘L’ (=VBB), MBi=‘H’ (=VSW)가 되고, 그것 이외의 로우에서는, Mi=‘H’ (=VSW), MBi=‘L’ (=VBB)가 된다. 한편, 예를 들면 블록 BLK0가 선택되었다고 하면, 워드선 선택 구동 회로(606)에 의해, 워드선 구동 신호는, BLKF1~BLKF4=‘L’ (=VBB)가 되고, 또한 블록 디코더(607)에 의해, 전송 게이트(608a)만, 제어 신호가 BRa=‘H’, BRBa=‘L’가 되어, 온 상태가 된다.

이상의 결과, 소거 블록 BLK0에서는, 로우 서브 디코더(604a)의 전송 게이트가 오프, 리셋용 NMOS 트랜지스터 QN2가 온이 되어, 불량 워드선이 VSS(=0V)가 된다. 그것 이외의 워드선은, 로우 서브 디코더(604a)의 전송 게이트가 온이고, 워드 구동 신호 BLKF1가 전송 게이트(608a)를 통해 워드선까지 전송되어, 워드선이 마이너스 전압 VBB로 된다. 이에 따라, 불량 워드선에 마이너스 전압 VBB를 인가하지 않고, 블록 소거가 행해진다. 따라서, 불량 워드선에 마이너스 전압 VBB를 인가하는 것에 의한 필요없는 관통 전류가 흐르지 않게 된다.

또한 이 때, 비선택 블록에서는, 전송 게이트(608b, 608c, ...)가 오프이고, 메인 워드선 Mi, MBi의 여하에 관계없이, 전 워드선이 VSS로 설정된다.

따라서 본 실시 형태에 의하면, 블록마다 다른 번지에 불량미 존재하더라도, 승압 회로로부터의 필요없는 관통 전류 패스가 형성되는 것은 없다. 또한, 불량 어드레스 정보로서 로우 어드레스와 함께 블록 어드레스를 기억하여 둬으로써, 각 블록마다 다른 번지의 불량 워드선을 치환할 수가 있다. 이것에 의해, 높은 구제 효율을 얻을 수 있다.

[실시 형태 9]

실시 형태 8에서는, 데이터 소거시, 불량 어드레스 기억 회로에 유지한 불량 어드레스를 내부 어드레스로서 메인 로우 디코더에서 디코딩하여, 불량 로우를 ‘비선택’ 상태로 하는 디코딩 방식을 이용하고 있다. 따라서, 예비 로우 셀 어레이에 의해 치환할 수 있는 것은, 1 블록내에서는 1 세트(4 워드선)로 한정된다고 하는 제약이 있다.

이것에 대하여, 실시 형태 9에서는, 각 블록내에서 복수 로우의 치환을 가능하게 한다.

그러기 위해서는, 실시 형태 8에 있어서의 메인 로우 디코더(603)를 도 19에 도시한 바와 같이 변경한다. 도시한 바와 같이, 각 디코딩용 NAND 게이트 611의 출력 노드 N1에, 로우 선택 신호 SELB에 의해 제어되는 NOR 게이트 631이 설치되고, 이 NOR 게이트 631의 출력에 의해 선택 정보가 받아들이는, NOR 게이트 632, 633로 이루어지는 래치 회로(레지스터; 701)를 구비한다. 이 NOR 게이트(701)의 출력이 클럭드 인버터 C11에 들어 간다.

EEPROM의 자동 소거 시퀀스에서는, 데이터 소거에 앞서서, 소거 대상이 되는 블록내의 미기입 메모리셀에 대한 데이터 기입을 행하여, 그 블록내의 전 메모리셀을 ‘기입’ 상태로 설정한다. 이것은, 소거 후의 메모리셀의 임계치를 일정 범위로 한정하기 위함이다. 본 실시 형태에서는, 데이터 소거에 앞서서 전 로우 어드레스를 갱신하여 데이터 기입과 검증 판독을 행하는 동작에 있어서, 선택된 로우의 로우 메인 디코더의 래치 회로(701)에 ‘1’ (=‘H’)를 세트한다. 즉, 선택 신호 SELB=‘L’와 NAND 게이트 621의 출력 ‘L’에 의해서, 대응하는 레지스터(701)에는, ‘H’가 세트된다. 로우 메인 디코더가 선택되었다는 것은, 그 로우가 불량미 아닌 것을 의미한다. 불량 로우는, 검증 판독에 있어서 예비 로우 셀 어레이에 의해 치환되므로, 그 불량 로우에 대응하는 로우 메인 디코더는 선택되지 않는다. 이 선택되지 않은 로우 메인 디코더

의 래치 회로(701)의 데이터는, '0'('L')을 유지한다.

이와 같이 하며, 데이터 소거에 앞서는 기입과 검증 동작에 있어서, 로우 메인 디코더(606)의 래치 회로(701)에, 불량치 아닌 로우에 관해서 로우 선택 정보인 '1'을 세트한다. 이에 따라, 데이터 소거시, 불량 어드레스 기억 회로(612)의 불량 어드레스를 판독하여 디코딩하지 않고, 전번의 실시 형태 8과 마찬가지로, 불량 로우의 메인 워드선 Mi, Mbi 에 관해서 '비선택' 상태, 즉, Mi='L', Mbi='H'로 할 수 있다. 따라서 본 실시 형태 9의 경우, 실시 형태 8의 도 15에 있어서의 불량 어드레스 기억 회로(612)로부터 어드레스 전환 회로(613)로의 어드레스 데이터 전송 경로는 필요하지 않게 된다.

또, 로우 메인 디코더(603)의 레지스터(701)에 데이터를 세트하는 타이밍은, 데이터 소거 전의 기록 동작에 한하지 않고, 데이터 소거 전에 전 로우 어드레스를 갱신하는 시퀀스가 있으면, 그 시퀀스에서 행할 수 있다.

도 20 및 도 21은, 실시 형태 9의 EEPROM 에서의 자동 데이터 소거 시퀀스이다. 도 20은, 데이터 소거 전의 데이터 기입 사이클이다. 초기 조건을 설정하고(S1), 기입 검증을 셋업하여(S2), 기입 검증 판독을 행한다(S3). 이 검증 판독하여 선택된 로우 어드레스의 로우 메인 레지스터의 래치 회로(701)에는 로우 선택 정보인 '1'을 세트한다(S4). 그리고 기입 상태가 소정의 임계치 범위에 들어가는지 여부를 판정하는 검증 판정을 행한다(S5).

판정 결과가 N0이면, 사이클 리미트 판정을 행한다(S6). 사이클 리미트에 도달하지 않은 경우에는, 기입을 행하고(S7), 사이클을 스텝 업하여(S8), 재차 스텝 S2로 되돌아가, 검증과 기입을 반복한다. 소정 사이클의 기록을 행하더라도 판정이 OK가 되지 않고, 사이클 리미트에 달한 경우에는, 기입 에러 error='1'을 세트하여(S9), 도 21의 스텝 S30으로 간다.

스텝 S5에서의 판정이 OK이면, 사이클을 초기화하고(S10), 최종 어드레스에 도달했는지 여부를 판정하여(S11), 도달하지 않으면 어드레스를 갱신하고(S12), 다음의 어드레스의 기록과 검증을 반복한다. 최종 어드레스에 도달하면, 다음에 도 21의 데이터 소거의 클로스로 옮긴다. 소거 검증을 셋업하고(S21), 검증 판독을 행하여(S22), 소거 상태가 소정의 임계치 범위에 들어가는지 여부를 판정한다(S23). 판정 결과가 N0이면, 사이클 리미트 판정을 행한다(S24). 리미트에 도달하고 있지 않은 경우에는, 소거를 행하고(S25), 사이클을 스텝 업으로 하여(S26), 재차 스텝 S21로 되돌아가, 검증과 소거를 반복한다. 소정 사이클의 소거를 행하여도 판정이 OK가 되지 않고, 사이클 리미트에 달한 경우에는, 소거 에러 error='1'을 세트하여, 스텝 S30으로 간다.

스텝 S23에서의 판정이 OK이면, 사이클을 초기화하고(S28), 최종 어드레스에 도달했는지 여부를 판정하여(S29), 도달하고 있지 않으면 어드레스를 갱신하고(S30), 다음 어드레스의 소거와 검증을 반복한다. 최종 어드레스에 도달하면, 판독 조건으로 셋업하여(S31), 종료한다.

실시 형태 8에서의 자동 소거 시퀀스는, 도 20에 있어서의 스텝 S4가 없을 뿐이고, 이외는 도 20 및 도 21과 동일하다.

[실시 형태 10]

도 22는, 예비 로우 셀 어레이를 갖는 RWW 사양의 EEPROM의 실시 형태의 전체 구성을 나타낸다. 도면에서는, 메모리셀 어레이(701)가 2개의 뱅크 BANK0, BANK1로 나누어지고, 그 한쪽에서 데이터 기입 또는 소거를 행하고 있는 사이, 다른쪽에서 데이터 판독을 가능하게 하는 경우를 도시하고 있다. 각 뱅크 BANK0, BANK1의 메모리셀 어레이(701)에 대하여, 예비 로우 셀 어레이(703)가 설치된다. 여기서는, 실시 형태 3등에 있어서와 마찬가지로, 메모리셀 어레이(701)와 예비 로우 셀 어레이(703)에 각각 따로따로 프리디코더(702, 704)가 설치된다.

판독용 어드레스 버스선(305a)과 기입 또는 소거용 어드레스 버스선(305b)이 병설되고, 이것에 대응하여 2계통의 어드레스 비교 회로(313a, 313b)를 갖는 것, 계통의 어드레스선 스위치 회로(318a, 318b), 히트 어드레스선 스위치 회로(410a, 410b)가 설치되는 것, 제어 회로(310)로부터의 제어 신호에 의해 뱅크 BANK0, BANK1의 한쪽을 데이터 기입 또는 소거 모드로 설정하기 위한 비지 레지스터(315)를 갖는 것 등, 예를 들면 전번의 실시 형태 3 등과 동일하다. 실시 형태3 등과 다른 점은, 실시 형태 8에서 설명한 바와 같이, 불량 어드레스 기억 회로(312)의 불량 어드레스가 데이터 소거시, 어드레스 전환 회로(311)에 의해 내부 어드레스로서 추출되어 디코딩되는 것이다.

본 실시 형태에 의하면, RWW 사양의 EEPROM에서, 기입 또는 소거 모드에 있는 뱅크와 판독 모드에 있는 뱅크에서 각각 독립적으로, 불량 로우에 대한 구제가 가능하게 된다.

[실시 형태 11]

여기까지의 실시 형태에 있어서, 불량 어드레스 기억 회로로서는, 퓨즈 회로가 이용된다. 퓨즈 회로에는, 기계적인 절단에 의해 고정적으로 데이터 기억을 행하는 메탈 퓨즈 회로와, 불휘발성 메모리셀을 이용한 전기적 재기입 가능한 ROM 퓨즈가 있다. ROM 퓨즈 회로는, 판독 시의 소비 전류가 작지만, 회로가 복잡하고, 큰 면적을 필요로 한다. 이것과 비교하여, 메탈 퓨즈 회로는 면적을 작게 할 수 있지만, 소비 전류가 커진다. 따라서 메모리 용량의 증대에 수반하여 면적 감소가 큰 문제가 되면, 메탈 퓨즈 회로가 유효하게 된다.

그러나 주지된 바와 같이, 메탈 퓨즈 회로는, 프로그래밍을 위한 퓨즈 클로우 공정이 필요하고, 이것은 다이소트 장치로부터 웨이퍼(혹은 칩)를 추출하여 실행해야만 한다. 예를 들면 특정 다이소트에서 불량 어드레스가 발견되어, 이것을 예비 셀 어레이로 치환하기 위해서는, 웨이퍼를 다이소트 장치로부터 추출하지 않으면 안된다. 그리고, 퓨즈 클로우를 행하여 재차 그 웨이퍼를 다이소트 장치에 넣어 다이소트를 행하는 것이 필요하게 된다. 따라서, 많은 웨이퍼를 검사하는 경우에는, 다이소트마다 퓨즈 클로우 공정을 설치하게 되어, 총 다이소트 시간이 길게 된다.

도 23은, 이상의 점을 고려하여, 총 다이소트 시간의 단축을 가능하게 한 실시 형태의 반도체 메모리의 개략 칩 구성을 도시하고 있다. 또 본 실시 형태는, 먼저 설명한 각 실시 형태의 EEPROM에 적용할 수 있

는 것은 물론, DRAM이나 SRAM 등의 다른 반도체 메모리에도 마찬가지로 적용이 가능하다.

도 23에서는, 메모리칩내의 본체 셀 어레이와 예비 셀 어레이의 치환에 필요한 회로부만 도시하고 있다. 불량 어드레스 기억 회로(800)와, 이 불량 어드레스 기억 회로(800)에 기억된 불량 어드레스와 입력 어드레스의 일치 검출을 행하는 어드레스 비교 회로(803)를 구비하고, 또한 일치 검출 출력에 의해 어드레스 치환 제어를 행하는 제어 회로(804)를 구비한다.

불량 어드레스 기억 회로(800)는, 메탈 퓨즈로서 알루미늄 퓨즈를 이용한 알루미늄 퓨즈 회로(801) 외에, ROM 퓨즈 회로(802)를 갖는다. 알루미늄 퓨즈 회로(801)는, 주지된 바와같이 퓨즈 플로우에 의해 기계적인 절단을 행하는 것으로, 불량 어드레스를 고정적으로 기억하는 것이다. 이것에 대하여, ROM 퓨즈 회로(802)는, 다이소트로 발견된 불량 어드레스를 일시적으로 기입하여 유지하기 위한 일시 기억 회로이고, 적당한 복수의 어드레스를 기억할 수 있는 용량을 갖는 것으로 한다. ROM 퓨즈 회로(802)의 기록·소거는, 웨이퍼(혹은 칩)를 다이소트 장치내에 유지한 채로, 제어 회로(804)에 의해 행하는 것이 가능하다.

ROM 퓨즈 회로(802)는, 도 24에 도시한 바와 같이, 본체 셀 어레이의 메모리셀과 마찬가지로의 전기적 재기입 가능한 불휘발성 메모리셀 MC를 이용하여 구성되는 ROM 퓨즈 어레이(811)를 갖는다. ROM 퓨즈 어레이(811)의 용량은 본체 셀 어레이에 비교하면 매우 작기 때문에, 본체 셀 어레이와 마찬가지로의 가공 조건이 얻어지도록, 패턴의 규칙성을 확보하기 위한 더미 셀이 배열된다. 제어 회로(804)로부터 ROM 퓨즈 어레이(811)의 기록·소거를 제어하기 위해서, 고전압 등을 발생하는 바이어스 회로(813)가 설치되고, 또한 선택 게이트나 기입 부하를 내장하는 스위치 회로(812)가 설치된다. 스위치 회로(812)에서 선택된 불량 어드레스는, 버퍼 회로(814)를 통해 출력된다.

이 실시 형태에서의 다이소트 플로우를, 종래와 비교하여, 도 25를 이용하여 설명한다. 도 25의 (b)는, 어드레스 기억 회로가 퓨즈 회로만으로 구성된 종래의 경우이다. 이 경우, 다이소트 A가 종료하면, 여기서 발견된 불량 어드레스는, 웨이퍼(또는 칩)를 다이소트 장치로부터 추출하고, 퓨즈 플로우를 행하여 기억한다. 그리고 다시 웨이퍼(혹은 칩)를 다이소트 장치에 넣어 다이소트 B를 행하고, 다이소트 B가 종료하면, 여기서 발견된 불량 어드레스는, 웨이퍼(또는 칩)를 다이소트 장치로부터 추출하고, 퓨즈 플로우를 행한다. 이하, 마찬가지로의 조작의 반복이 된다.

이것에 대하여, 도 25의 (a)는, ROM 퓨즈 회로(800)를 갖는 본 실시 형태의 경우이다. 다이소트 A가 종료하여, 여기서 발견된 불량 어드레스는, ROM 퓨즈 회로(800)에 일시 기입하여 유지한다. 이 불량 어드레스 기입은, 외부에서의 전기적 신호 입력에 의해 행할 수 있으므로, 웨이퍼(혹은 칩)를 다이소트 장치에 넣은 채로 가능하다. 그리고 이 ROM 퓨즈 회로(802)와 어드레스 비교 회로(803)에 의해서, 불량 어드레스의 치환 제어가 행해지도록 하여, 다음의 다이소트 B를 행한다. 이 다이소트 B에서 발견된 불량 어드레스도, ROM 퓨즈 회로(800)에 일시 기입하여 유지한다.

도 25의 (a)에서는, 다이소트 C까지 행한 뒤, 지금까지의 다이소트 A~C에서 일시 유지된 불량 어드레스를 일괄하여 알루미늄 퓨즈 회로(801)에 옮겨 바꾸는 퓨즈 플로우를 행하는 예를 도시하고 있다. 즉, 이 단계에서 웨이퍼(혹은 칩)를 다이소트 장치로부터 추출하고, 지금까지 ROM 퓨즈 회로(802)에 유지된 불량 어드레스를 판독하여, 그 불량 어드레스의 퓨즈 플로우를 행한다. 이하, ROM 퓨즈 회로(802)를 리셋하여, 마찬가지로의 시퀀스로 다이소트를 행한다.

ROM 퓨즈 회로(802)의 용량이 충분하면, 총 다이소트가 종료한 후에, 알루미늄 퓨즈 회로(801)에 대하여 일회성의 프로그래밍을 행하면 좋다.

이상과 같이 본 실시 형태에 의하면, 퓨즈 플로우를 복수의 다이소트 후에 일괄하여 행할 수 있으므로, 퓨즈 플로우의 공정수를 삭감할 수가 있다. 퓨즈 플로우를 행하기 위해서는, 다이소트 장치로부터 웨이퍼(또는 칩)를 추출하지 않으면 안되므로, 퓨즈 플로우 공정수의 삭감은 총 다이소트 시간의 대폭적인 단축을 가능하게 한다.

[실시 형태 12]

도 26는, 도 23의 실시 형태에 있어서의 ROM 퓨즈 회로(802)의 부분에, 래치 회로(821)를 이용한 실시 형태이다. 래치 회로(821)는, 도 27에 도시한 바와 같은 주지의 래치를, 필요한 어드레스 정보를 기억할 만한 갯수만큼 이용하여 구성된다. 래치 회로(821)에 유지된 불량 어드레스와 알루미늄 퓨즈 회로(801)의 유지된 불량 어드레스는, 스위치(822)에 의해 전환하여 어드레스 비교 회로(803)에 보내지도록 되어 있다.

이 실시 형태에서의 다이소트의 플로우도, 도 25의 (a)와 마찬가지로이고, 다이소트 A에서 발견된 불량 어드레스는 래치 회로(821)에 일시 보존한다. 다음의 다이소트 B에서는, 래치 회로(821)에 유지된 불량 어드레스가 비교 회로(803)에 들어가도록, 스위치(822)를 제어한다. 이에 따라, 다이소트 A에서 발견된 불량 어드레스를 전환하여 다이소트 B가 행해진다. 그리고, 복수의 혹은 모든 다이소트에서 래치 회로(821)에 유지된 불량 어드레스는, 일괄하여 퓨즈 회로(801)에 기입된다.

이 실시 형태에 의해서도, 퓨즈 플로우 공정의 삭감에 의한 총 다이소트 시간의 단축이 얻어진다. 래치 회로는 데이터가 휘발성이지만, ROM 퓨즈 회로와 같은 기입·소거의 제어에 요하는 회로부가 필요하지 않고, 회로 구성이 간단하고, 에머리어 패널티(area penalty)도 작다고 하는 이점을 갖는다. 또한, 래치 회로는, 불량 어드레스의 일시유지 이외의 다른 용도로도 이용할 수 있다.

발명의 효과

이상 진술한 바와 같이 본 발명에 따르면, 복수 컬럼분의 예비 컬럼 셀 어레이에 대하여 각각 예비 감지 증폭기 회로를 설치하고, 데이터 판독 시에는 동시에 정규의 셀 어레이 데이터와 예비 셀 어레이 데이터가 동시에 판독되도록 하여, 감지 증폭기 스위치 회로와 데이터 스위치 회로에 의해, 불량 어드레스에 대응하는 불량 데이터의 치환을 행하도록 하고 있다. 이에 따라, 효율적인 복수 컬럼 불량률의 구제가 가능

해진다. 이 방식은 특히, 어드레스 버스와 데이터 버스를 복수 뱅크에 대하여 공통으로 배치하는 RWW 사양의 EEPROM에 적용하여 효과가 있다.

또한 본 발명에 의하면, 각 뱅크에 예비 셀 어레이 블록을 배치하여, 데이터판독 중의 뱅크와 데이터 기입 또는 소거 중의 뱅크에서 각각 독립적으로, 불량 어드레스에 대한 블록 단위의 치환 제어를 가능하게 한 RWW 사양의 EEPROM이 얻어진다.

또한 본 발명에 의하면, 예비 로우 셀 어레이를 구비하여, 데이터 소거 모드에 있어서, 불량 워드선에는 0V를 제공하고, 다른 워드선에는 마이너스 전압을 제공하도록 하여, 필요없는 관통 전류 패스를 형성하지 않고, 효율적인 로우 불량 구제를 가능하게 한 EEPROM이 얻어진다.

(57) 청구의 범위

청구항 1. 반도체 메모리에 있어서,

전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 이루어지는 메모리셀 어레이;

상기 메모리셀 어레이의 불량 비트선을 구제하기 위한 복수 컬럼의 예비 셀 어레이;

상기 메모리셀 어레이의 메모리셀을 선택하는 디코드 회로;

상기 메모리셀 어레이의 판독 데이터를 검지하고, 기입 데이터를 래치하는 복수의 감지 증폭기 회로;

상기 각 감지 증폭기 회로와 대응하는 데이터 입출력 단자의 사이에 설치된 데이터 입출력 버퍼;

상기 메모리셀 어레이의 불량 어드레스, 상기 불량 어드레스에 대응하는 데이터의 입출력이 이루어져야 될 입출력 단자 및, 상기 입출력 단자에 대응하여 치환되어야 될 상기 예비 셀 어레이 중 복수 컬럼의 세트 번호를 기억하는 불량 어드레스 기억 회로;

상기 복수 컬럼의 예비 셀 어레이의 판독 데이터를 검지하고, 상기 기입 데이터를 래치하는 복수의 예비 감지 증폭기 회로;

입력된 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치를 검출하는 어드레스 비교 회로; 및

상기 어드레스 비교 회로의 일치 검출 출력에 의해 제어되어 상기 복수의 감지 증폭기 회로 중 상기 불량 어드레스 대응의 상기 감지 증폭기 회로와 상기 복수의 예비 감지 증폭기 회로 중 상기 세트 번호에 의해 선택된 상기 감지 증폭기 회로를 전환하여 상기 데이터 입출력 버퍼에 접속하는 스위치 회로

를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 2. 반도체 메모리에 있어서,

전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되고, 상호 독립하여 액세스 가능한 적어도 2개의 뱅크로 분할된 메모리셀 어레이;

상기 메모리셀 어레이의 불량 비트선을 구제하기 위해 각 뱅크마다 설치된 예비 컬럼 셀 어레이;

상기 메모리셀 어레이의 각 뱅크마다 설치된 디코드 회로;

상기 2개의 뱅크에 공통으로 배치된, 데이터 판독용 제1 어드레스 버스선 및 데이터 기입 또는 소거용 제2 어드레스 버스선;

상기 2개의 뱅크에 공통으로 배치된, 데이터 판독용 제1 데이터 버스선 및 데이터 기입 또는 소거용 제2 데이터 버스선;

상기 제1 데이터 버스선에 접속된 상기 메모리셀 어레이의 병렬 판독 데이터를 검지 증폭하는 복수개의 제1 감지 증폭기 회로;

상기 제2 데이터 버스선에 접속된 상기 메모리셀 어레이의 병렬 검증 판독 데이터를 검지 증폭하는 복수개의 제2 감지 증폭기 회로;

상기 각 뱅크마다 설치되고, 특정 뱅크가 데이터 기입 또는 소거 모드로서 선택되어 있는 것을 도시함과 동시에 상기 제1 및 제2 어드레스 버스선의 접속 전환 제어, 및 상기 제1 및 제2 데이터 버스선의 접속 전환 제어에 이용되는 비지 신호를 출력하는 비지 신호 회로;

상기 메모리셀 어레이의 불량 어드레스 및 상기 불량 어드레스에 대응하는 데이터의 입출력이 이루어져야 될 입출력 단자를 기억하는 불량 어드레스 기억 회로;

상기 예비 컬럼 셀 어레이의 판독 데이터를 검지 증폭하기 위한 상기 제1 데이터 버스선에 접속된 제1 예비 감지 증폭기 회로;

상기 예비 컬럼 셀 어레이의 검증 판독 데이터를 검지 증폭하기 위한 상기 제2 데이터 버스선에 접속된 제2 예비 감지 증폭기 회로;

데이터 판독 시에 상기 제1 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치를 검출하는 제1 어드레스 비교 회로;

데이터 기입 또는 소거시에 상기 제2 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치를 검출하는 제2 어드레스 비교 회로;

상기 제1 어드레스 비교 회로의 일치 검출 출력에 의해 상기 복수의 제1 감지 증폭기 회로의 출력의 일부

를 상기 제1 예비 감지 증폭기 회로의 출력에 의해 치환하는 제1 데이터 스위치 회로; 및
상기 제2 어드레스 비교 회로의 일치 검출 출력에 의해 상기 복수의 제2 감지 증폭기 회로의 출력의 일부를 상기 제2 예비 감지 증폭기 회로의 출력에 의해 치환하는 제2 데이터 스위치 회로를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 3. 반도체 메모리에 있어서,

전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되고, 상호 독립하여 액세스 가능한 적어도 2개의 뱅크로 분할된 메모리셀 어레이;

상기 메모리셀 어레이의 불량 블록을 구제하기 위해 상기 각 뱅크마다 설치된 예비 셀어레이 블록;

상기 각 뱅크의 메모리셀 어레이와 예비 셀어레이 블록에 각각 설치된 디코드 회로;

상기 2개의 뱅크에 공통으로 배치된, 데이터 판독용 제1 어드레스 버스선 및 데이터 기입 또는 소거용 제2 어드레스 버스선;

상기 각 뱅크마다 설치되고, 지정된 뱅크가 데이터 기입 또는 소거 모드로서 선택되어 있는 것을 나타내는 비지 신호를 출력하는 비지 신호 회로;

상기 비지 신호 회로에서 출력되는 비지 신호에 따라 상기 제1 및 제2 어드레스 버스선의 한쪽을 선택하여 상기 각 뱅크의 메모리셀 어레이와 예비 셀어레이 블록에 접속하는 어드레스선 스위치 회로;

상기 메모리셀 어레이의 불량 블록 어드레스를 기억하는 불량 어드레스 기억 회로;

데이터 판독 시에 상기 제1 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 블록 어드레스의 일치를 검출하는 제1 어드레스 비교 회로;

데이터 기입 또는 소거시에 상기 제2 어드레스 버스선에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 블록 어드레스의 일치를 검출하는 제2 어드레스 비교 회로; 및

상기 제1 및 제2 어드레스 비교 회로의 일치 검출 신호에 의해 각 뱅크에서, 상기 메모리셀 어레이를 비활성으로 하고, 상기 예비 셀어레이 블록에 활성으로 하는 히트 어드레스 스위치 회로를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 4. 제3항에 있어서,

상기 각 뱅크의 메모리셀 어레이는, 데이터 소거의 최소 단위인 블록의 복수의 집합으로 이루어지는 코어가 복수개 배열되어 구성되고,

상기 각 뱅크의 예비 셀 어레이 블록은, 1 내지 복수의 코어에 의해 구성되어 있으며,

상기 제1 및 제2 어드레스 버스선에 각각 접속되어 코어 선택을 행하여 그 출력에 의해 상기 각 뱅크내의 디코드 회로의 활성, 비활성을 제어하는 코어 코더가 더 설치되어 있는 것을 특징으로 하는 반도체 메모리.

청구항 5. 제4항에 있어서,

상기 불량 어드레스 기억 회로에 불량 블록 어드레스와 상기 불량 블록 어드레스의 블록을 치환하여야 할 스페어 블록의 코어 어드레스를 기억함과 함께, 상기 코어 디코더는, 불량 어드레스가 검출되었을 때에 대응하는 스페어 블록의 코어 어드레스를 디코딩하도록 구성되고, 각 뱅크내의 특정 코어의 불량 블록을 임의의 코어의 스페어 블록에 의해 치환할 수 있도록 한 것을 특징으로 하는 반도체 메모리.

청구항 6. 제3항에 있어서,

상기 2개의 뱅크의 용량이 다르고, 용량이 큰 쪽의 상기 뱅크에서의 예비 셀 어레이 블록의 메모리셀 어레이에 대한 용량비에 비교하여, 용량이 작은 쪽의 상기 뱅크의 예비 셀어레이 블록의 메모리셀 어레이에 대한 용량비를 크게 설정한 것을 특징으로 하는 반도체 메모리.

청구항 7. 반도체 메모리에 있어서,

전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되며 상호 독립하여 액세스 가능한 적어도 2개의 뱅크로 분할되고, 상기 각 뱅크가 데이터 소거의 최소 단위인 블록의 복수개의 집합으로 이루어지는 코어가 복수개 배열되어 구성된 메모리셀 어레이;

상기 메모리셀 어레이의 불량 블록을 구제하기 위해 상기 각 뱅크와는 독립적으로 설치된 1 내지 복수의 코어로 이루어지는 예비 셀어레이 블록;

상기 각 뱅크의 메모리셀 어레이와 상기 예비 셀어레이 블록에 각각 설치된 디코드 회로;

상기 각 뱅크에 공통으로 배치된, 데이터 판독용 제1 어드레스 버스선 및 데이터 기입 또는 소거용 제2 어드레스 버스선;

상기 각 뱅크마다 설치되고, 지정된 뱅크가 데이터 기입 또는 소거 모드로서 선택되어 있는 것을 나타내는 비지 신호를 출력하는 비지 신호 회로;

상기 각 뱅크마다 설치되고 상기 비지 신호 회로에서 출력되는 비지 신호에 따라 상기 제1 및 제2 어드레스 버스선의 한쪽을 선택하여 상기 메모리셀 어레이에 접속하는 제1 어드레스선 스위치 회로;

상기 예비 셀어레이 블록에 설치되어 상기 제1 및 제2 어드레스 버스선을 상기 예비 셀 어레이 블록에 접속하는 제2 어드레스선 스위치 회로;

상기 메모리셀 어레이의 불량 블록 어드레스를 기억하는 불량 어드레스 기억 회로;

데이터 판독 시에 상기 제1 어드레스 버스에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 블록 어드레스의 일치 여부를 검출하는 제1 어드레스 비교 회로;

데이터 기입 또는 소거시에 상기 제2 어드레스 버스에 공급되는 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 블록 어드레스의 일치 여부를 검출하는 제2 어드레스 비교 회로;

상기 각 뱅크마다 설치되어 상기 제1 및 제2 어드레스 비교 회로가 일치 검출 출력을 내지 않은 경우에 활성화되고, 상기 제1 및 제2 어드레스 버스에 공급되는 어드레스 중 코어 어드레스를 디코딩하여 상기 메모리셀 어레이에 공급하는 제1 코어 디코더; 및

상기 제1 코어 디코더의 출력을 상기 비지 신호 회로로부터 출력되는 비지 신호에 의해 선택하여 상기 메모리셀 어레이에 공급하는 코어 스위치 회로; 및

상기 예비 셀 어레이 블록에 설치되어 상기 제1 및 제2 어드레스 비교 회로가 일치 검출 출력을 낸 경우에 활성화되고, 상기 제1 및 제2 어드레스 버스에 공급되는 어드레스 중 코어 어드레스를 디코딩하여 상기 예비 셀 어레이 블록에 공급하는 제2 코어 디코더

를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 8. 전기적 재기입 가능한 불휘발성 메모리셀을 배열하여 구성되고, 데이터 소거의 최소 단위가 되는 메모리셀의 범위를 블록으로하여 복수 블록에 의해 구성된 메모리셀 어레이, 상기 메모리셀 어레이의 불량 워드선을 구제하기 위한 예비 셀 어레이, 상기 메모리셀 어레이의 메모리셀을 선택하는 디코더 회로, 상기 메모리셀 어레이의 판독 데이터를 검지하고, 기입 데이터를 래치하는 감지 증폭기 회로, 상기 메모리셀 어레이의 불량 어드레스를 기억하는 불량 어드레스 기억 회로, 및 입력된 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치 여부를 검출하는 어드레스 비교 회로를 구비하여, 상기 메모리셀 어레이의 불량 로우를 상기 예비 셀 어레이에 의해 치환하도록 한 불휘발성 반도체 메모리에 있어서,

상기 디코더 회로 중 로우 디코더는, 데이터 소거시에 소거 대상 블록의 불량 워드선에 0V를 제공하고, 그 밖의 워드선에 마이너스 전압을 제공하며, 소거 대상 블록 이외의 블록에서 전 워드선에 0V를 제공하도록 구성되며, 상기 메모리셀 어레이의 블록 단위로 불량 워드선의 치환을 가능하게 한 것을 특징으로 하는 반도체 메모리.

청구항 9. 제8항에 있어서,

상기 불량 어드레스 기억 회로는, 불량 워드선을 특정하는 불량 로우 어드레스와 블록 어드레스를 기억하는 것으로 하고,

데이터 판독 시는 상기 어드레스 비교 회로의 출력에 의해 상기 로우 디코더를 제어함으로써, 상기 메모리셀 어레이가 비활성, 상기 예비 셀 어레이가 활성이 되게 하며, 데이터 소거 시에는 상기 불량 어드레스 기억 회로로부터 판독되는 불량 로우 어드레스 및 블록 어드레스를 상기 로우 디코더에 의해 디코딩하여, 선택된 소거 대상 블록 중 불량 워드선에 0V, 다른 워드선에 마이너스 전압이 주어지도록 한 것을 특징으로 하는 반도체 메모리.

청구항 10. 제8항에 있어서,

상기 로우 디코더는 각 로우마다 내부에 래치 회로를 구비하고,

또한 데이터 소거에 앞서 전 로우 어드레스 선택에 의해 불량인 로우의 래치 회로에 선택 정보를 래치하고, 데이터 소거 시에는 상기 래치 회로의 선택 정보에 기초하여 불량인 로우의 워드선에 마이너스 전압이 인가되며, 불량 로우의 워드선에 0V가 인가되도록 한 것을 특징으로 하는 반도체 메모리.

청구항 11. 메모리셀 어레이, 상기 메모리셀 어레이의 불량 셀을 구제하기 위한 예비 셀 어레이, 상기 메모리셀 어레이의 불량 어드레스를 기억하는 불량 어드레스 기억 회로, 및 입력된 어드레스와 상기 불량 어드레스 기억 회로에 유지된 불량 어드레스의 일치 여부를 검출하여 상기 메모리셀 어레이의 불량 셀을 상기 예비 셀 어레이에 의해 치환하는 제어를 행하기 위한 어드레스 비교 회로를 구비한 반도체 메모리에 있어서,

상기 불량 어드레스 기억 회로는,

특정 불량 검사 공정에서 발견된 불량 어드레스를 전기적으로 일시 유지하기 위한 일시 기억 회로; 및

복수의 불량 검사 공정 후에 상기 일시 기억 회로에 유지된 불량 어드레스를 옮겨 바꿔 고정적으로 기억하는 메탈퓨즈 회로

를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 12. 제1항, 제2항, 제3항, 제7항, 제8항 중 어느 한 항에 있어서,

상기 불량 어드레스 기억 회로는,

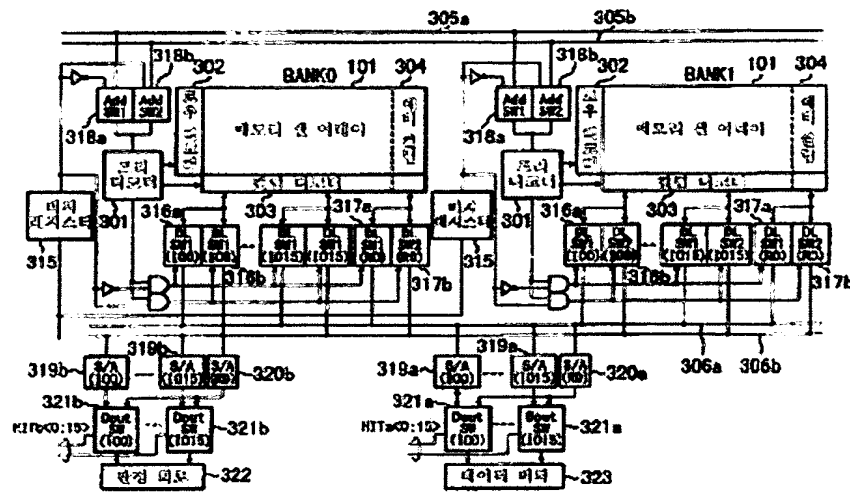
특정 불량 검사 공정에서 발견된 불량 어드레스를 전기적으로 일시 유지하기 위한 일시 기억 회로; 및

복수의 불량 검사 공정 후에 상기 일시 기억 회로에 유지된 불량 어드레스를 옮겨 바꿔 고정적으로 기억하는 메탈 퓨즈 회로

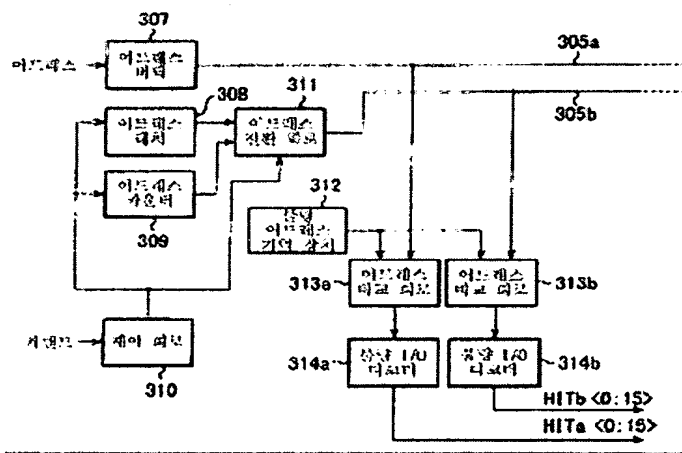
를 구비하는 것을 특징으로 하는 반도체 메모리.

청구항 13. 제11항 또는 제12항에 있어서,

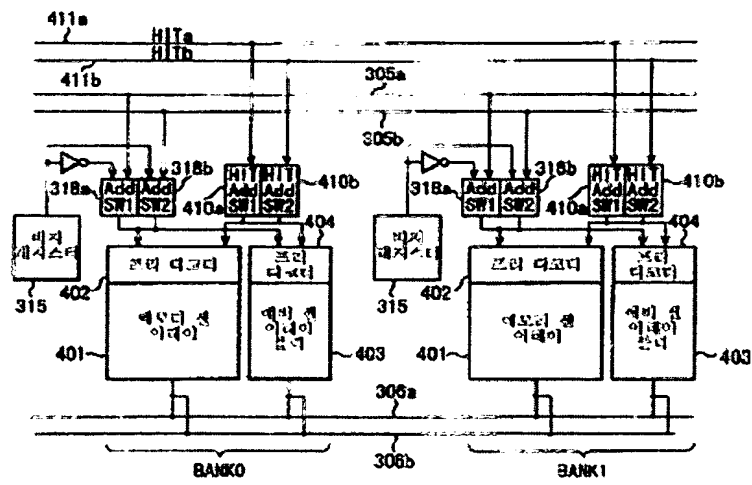
도 23



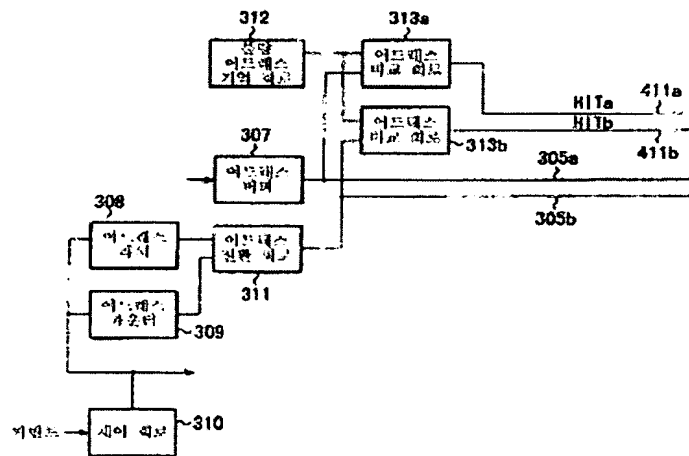
도 24



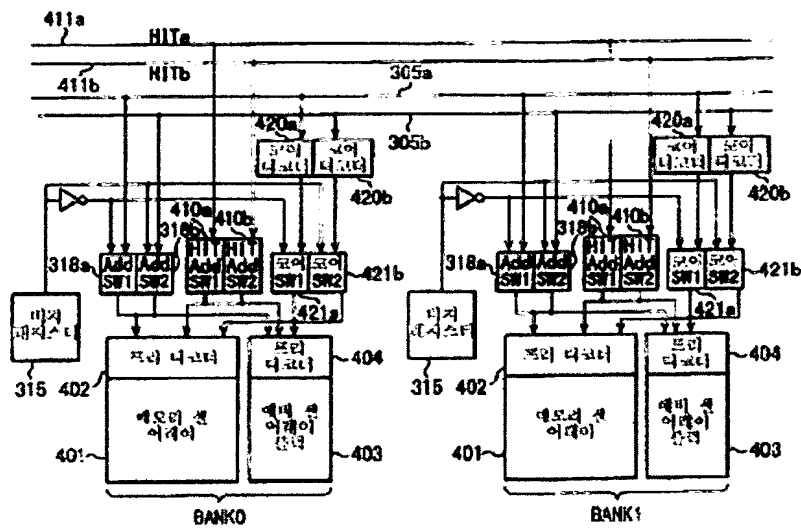
575



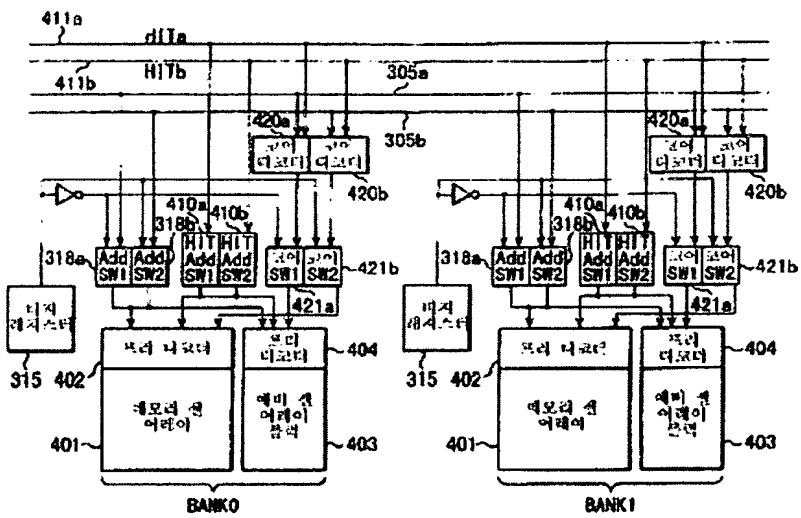
520



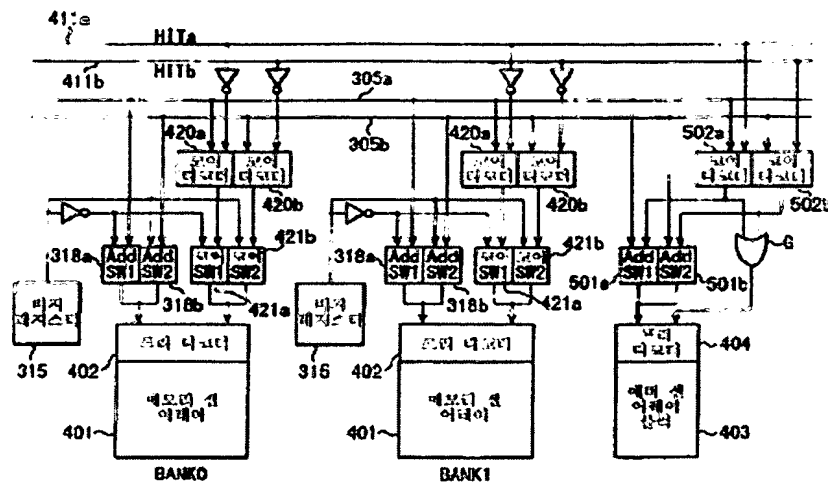
도 27



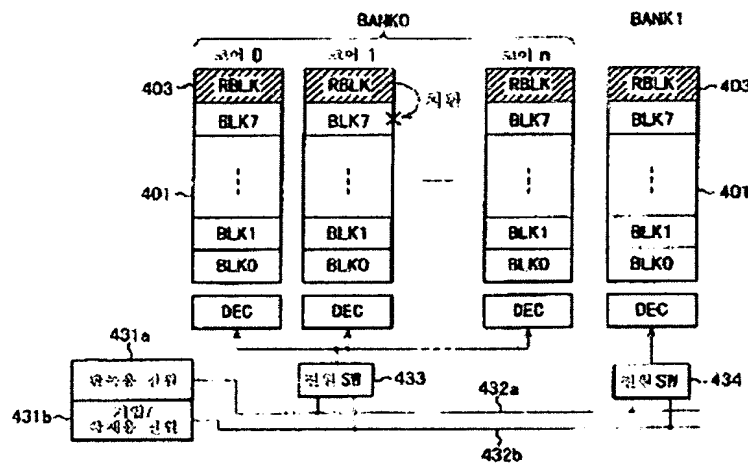
도 28



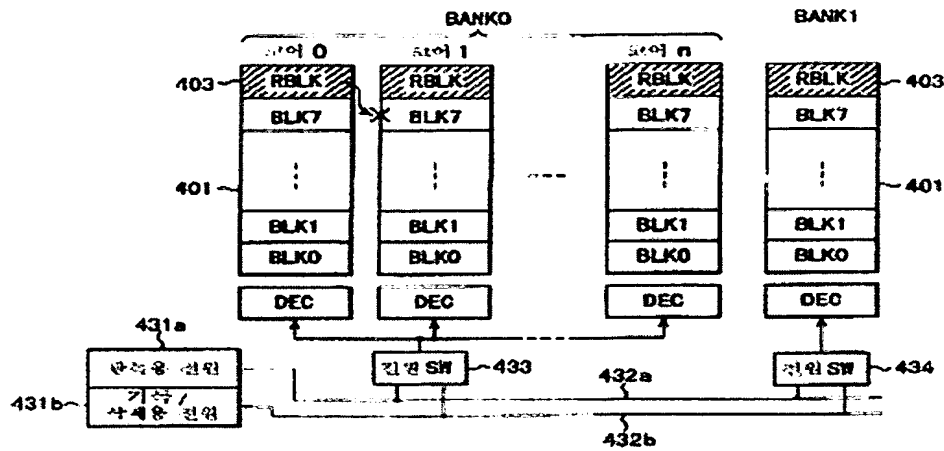
도 20



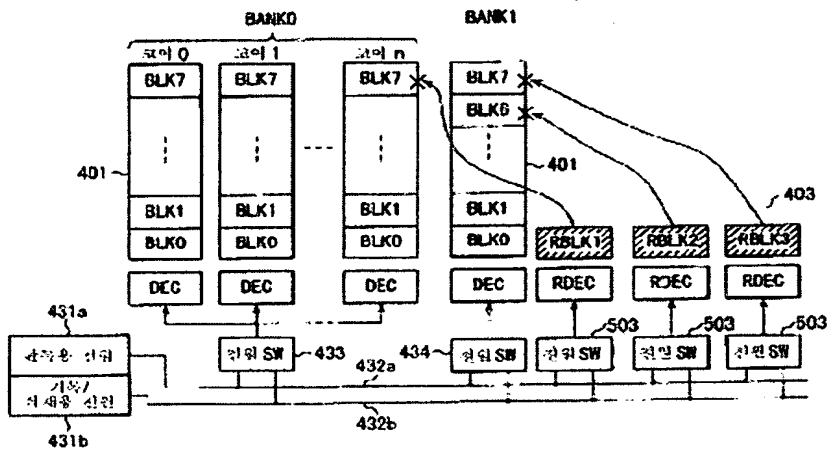
도 21



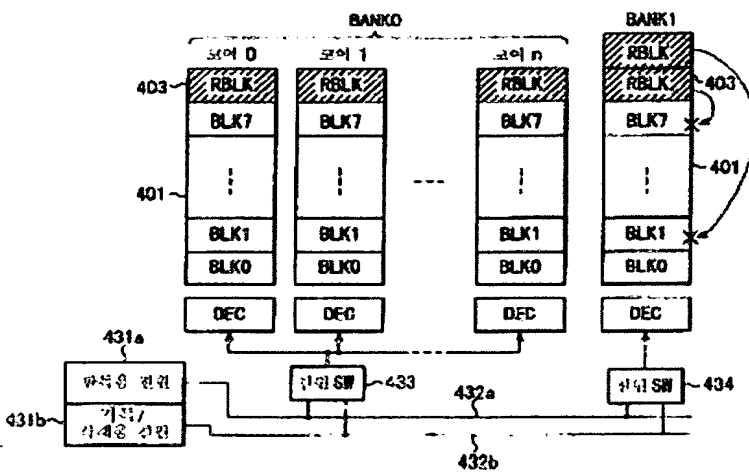
도면 11



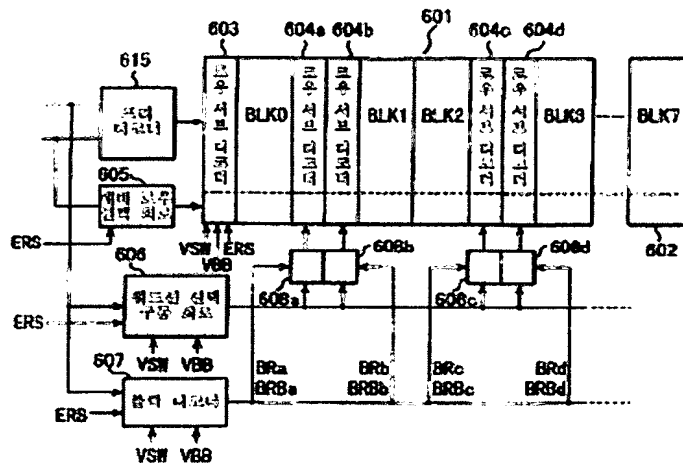
도면 12



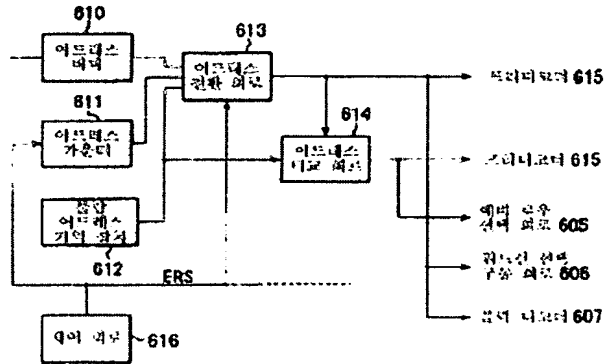
도면 13



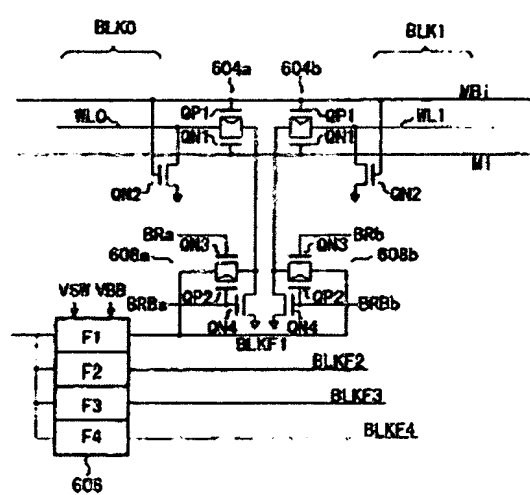
도면 14



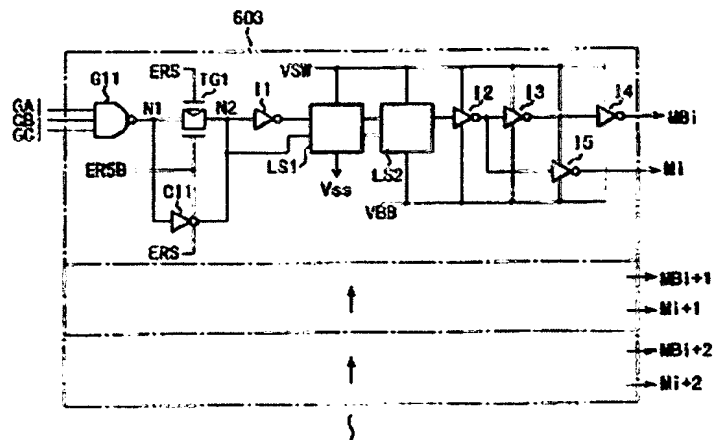
도면 15



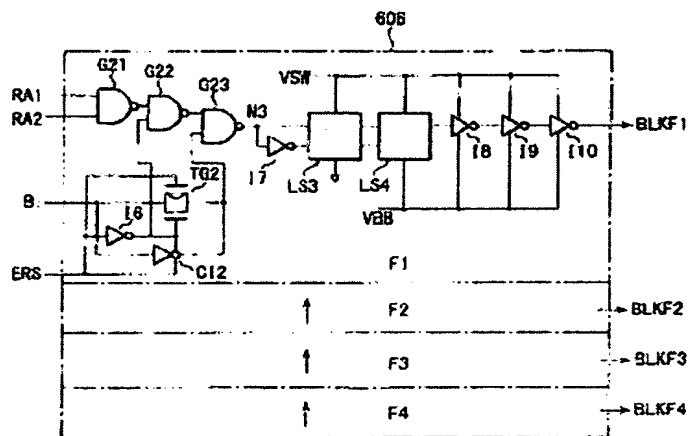
도면 16



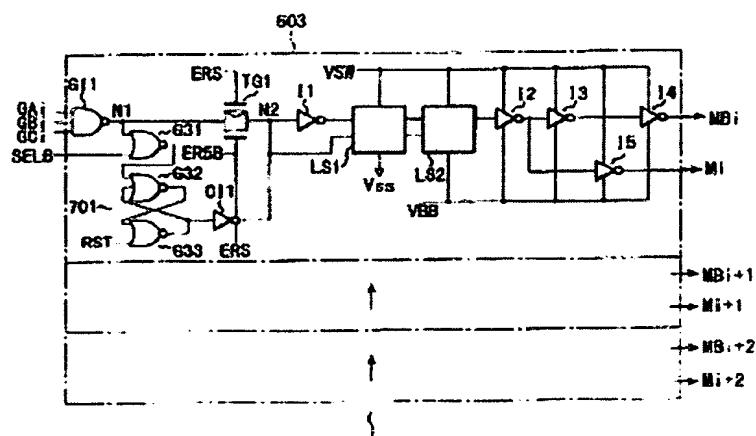
도면 7



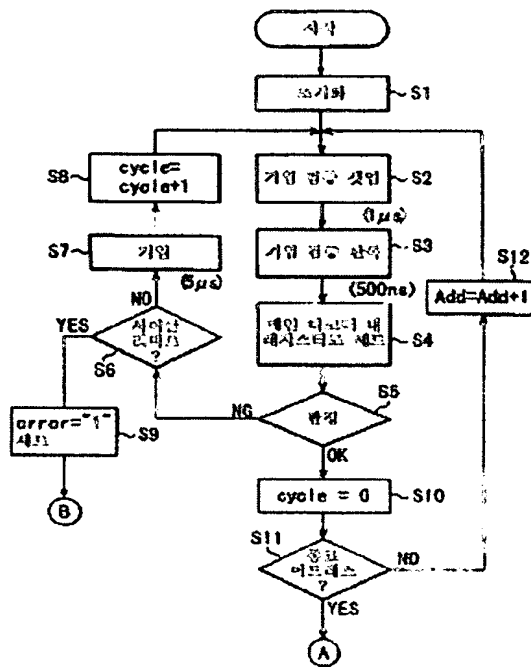
도면 8



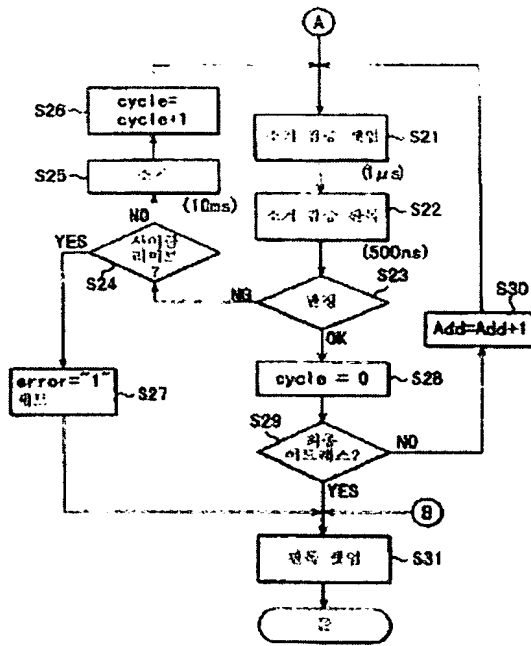
도면 9



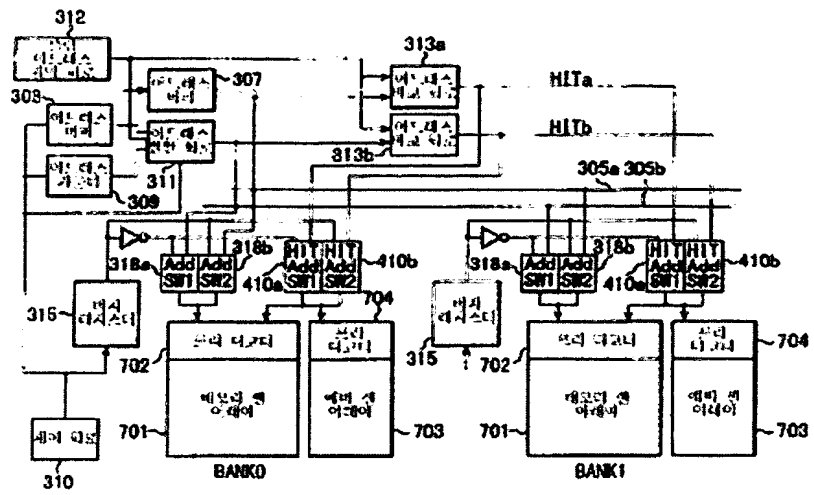
도면20



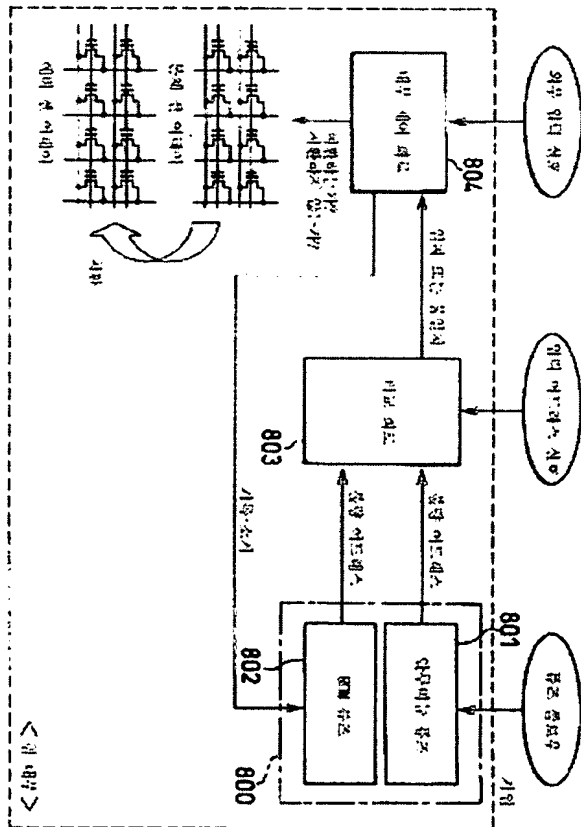
도면21



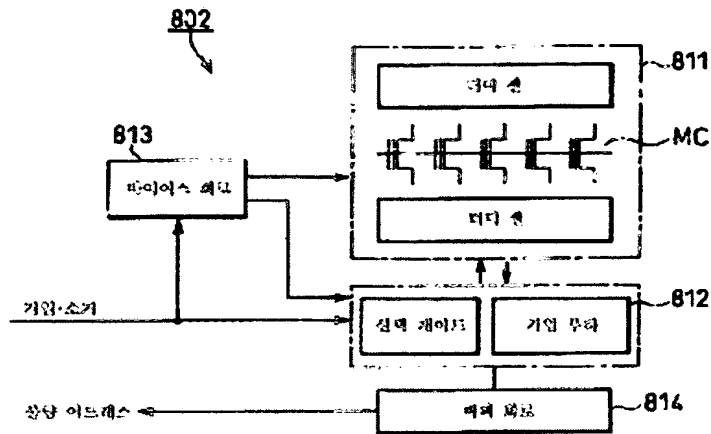
도 22



도 23

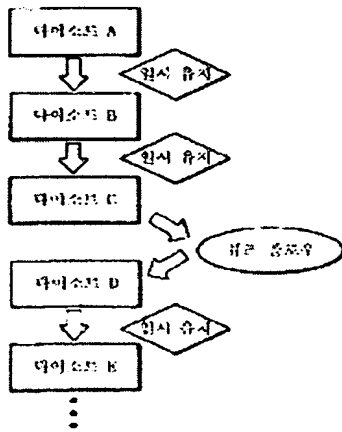


도면2

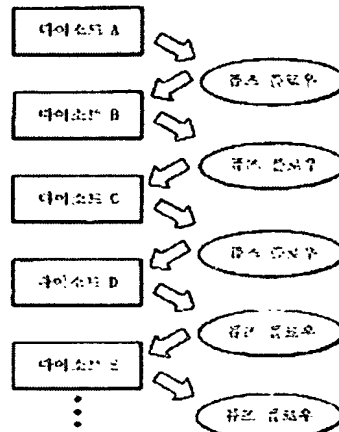


도면3

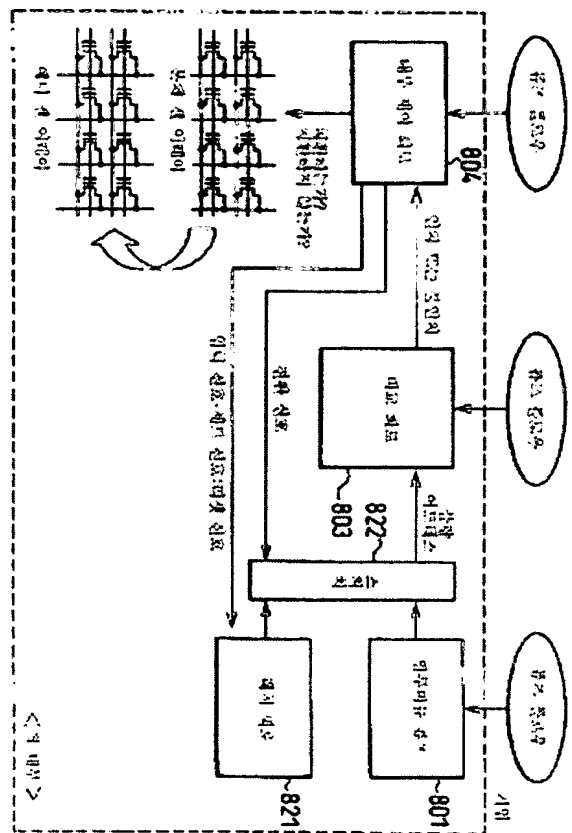
(a) 원시 유지하는 경우



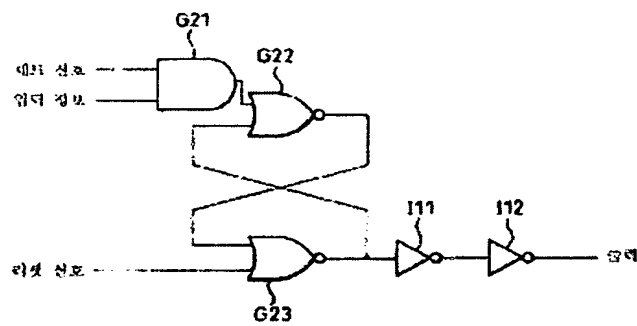
(b) 원시 유지하지 않는 경우



LEB



END



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.